

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-102247

(43)Date of publication of application : 16.04.1996

(51)Int.Cl.

H01J 1/30
H01J 9/02
H01J 31/12
H01J 31/15

(21)Application number : 07-185451

(22)Date of filing : 21.07.1995

(71)Applicant : CANON INC

(72)Inventor : TSUKAMOTO TAKEO
IWASAKI TATSUYA
YAMAMOTO KEISUKE
HAMAMOTO YASUHIRO
YAMANOBE MASATO

(30)Priority

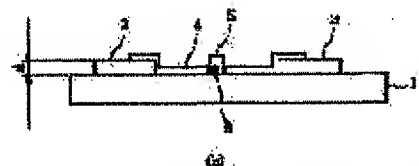
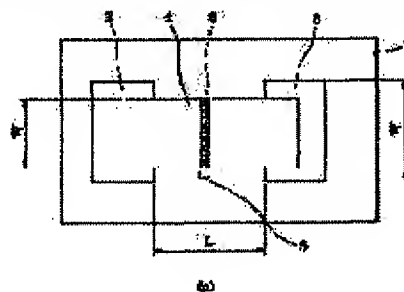
Priority number : 06181286 Priority date : 02.08.1994 Priority country : JP
06181287 02.08.1994 JP

(54) ELECTRON EMISSION ELEMENT, ELECTRON SOURCE, AND IMAGE FORMING APPARATUS AND MANUFACTURE THEREOF

(57)Abstract:

PURPOSE: To provide a surface conduction-type electron emission element having a stable electron emitting property and improved electron emission efficiency by forming a coating with a specified high melting point material in a gap between a conductive film.

CONSTITUTION: An electron emission element has a conductive film 4 having a gap 5 and formed between electrodes 2, 3 and a film 6 made of mainly a material with higher melting point than the material for the conductive film 4 and formed in the gap 5. The film 6 is made of mainly a material which has a higher melting point than the material for the conductive film 4 and whose vapor pressure is 1.3×10^{-3} Pa. Alloys containing elements selected from, for example, Mo, Hf, W, and Ni or their oxides are preferable as the high melting point material. It is also preferable that the film 6 consists of fine particles with 30nm or bigger average particle diameter.



LEGAL STATUS

[Date of request for examination] 29.11.1999

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3332676

[Date of registration] 26.07.2002

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-102247

(43) 公開日 平成8年(1996)4月16日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 J 1/30	B			
	C			
	D			
	Z			
9/02	B			

審査請求 未請求 請求項の数32 O L (全 25 頁) 最終頁に続く

(21) 出願番号	特願平7-185451	(71) 出願人	000001007 キヤノン株式会社 東京都大田区下丸子3丁目30番2号
(22) 出願日	平成7年(1995)7月21日	(72) 発明者	塚本 健夫 東京都大田区下丸子3丁目30番2号キヤノン株式会社内
(31) 優先権主張番号	特願平6-181286	(72) 発明者	岩崎 達哉 東京都大田区下丸子3丁目30番2号キヤノン株式会社内
(32) 優先日	平6(1994)8月2日	(72) 発明者	山本 敬介 東京都大田区下丸子3丁目30番2号キヤノン株式会社内
(33) 優先権主張国	日本 (J P)	(74) 代理人	弁理士 丸島 儀一
(31) 優先権主張番号	特願平6-181287		
(32) 優先日	平6(1994)8月2日		
(33) 優先権主張国	日本 (J P)		

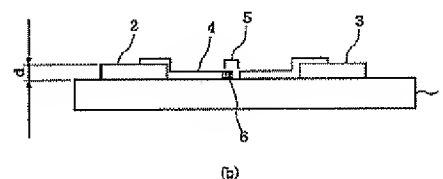
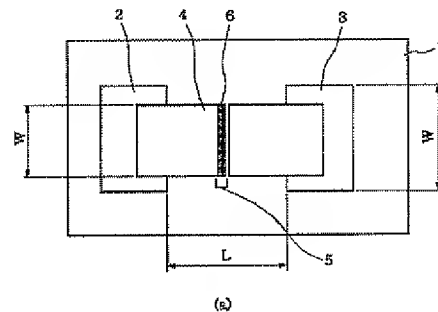
最終頁に続く

(54) 【発明の名称】 電子放出素子、電子源及び画像形成装置と、それらの製造方法

(57) 【要約】

【課題】 安定な電子放出特性と電子放出効率の向上を図った電子放出素子の提供と、該電子放出素子を用いた、高輝度で動作安定性に優れた画像形成装置の提供を目的とする。

【解決手段】 間隙部(5)を有する導電性膜(4)を電極(2, 3)間に備える電子放出素子において、前記導電性膜(4)は、前記間隙部(5)に、前記導電性膜を構成する材料よりも高融点の材料を主体として構成された膜(6)を有することを特徴とする電子放出素子。



1

【特許請求の範囲】

【請求項1】 間隙部を有する導電性膜を電極間に備える電子放出素子において、前記導電性膜は、前記間隙部に、前記導電性膜を構成する材料よりも高融点の材料を主体として構成された膜を有することを特徴とする電子放出素子。

【請求項2】 間隙部を有する導電性膜を電極間に備える電子放出素子において、前記導電性膜は、前記間隙部に、前記導電性膜を構成する材料よりもその蒸気圧が $1.3 \times 10^{-3} \text{ Pa}$ を呈する温度が高い材料を主体として構成された膜を有することを特徴とする電子放出素子。

【請求項3】 前記高融点の材料を主体として構成された膜は、前記導電性膜の陽極側に形成されている請求項1または1に記載の電子放出素子。

【請求項4】 前記高融点の材料を主体として構成された膜は、前記導電性膜の陰極側にも形成されている請求項3に記載の電子放出素子。

【請求項5】 前記高融点の材料は、金属または金属酸化物である請求項1～4のいずれかに記載の電子放出素子。

【請求項6】 前記高融点の材料は、IVa、Va、V Ia、VI Ia、VII Ia、VIII Ia族に属する元素群より選択される元素で構成された金属またはその酸化物である請求項1～4のいずれかに記載の電子放出素子。

【請求項7】 前記高融点の材料は、Mo、Hf、W、Niより選択される元素で構成された金属またはその酸化物である請求項1～4のいずれかに記載の電子放出素子。

【請求項8】 前記高融点の材料を主体として構成された膜は、平均粒径が30nm以上の微粒子よりなる請求項1～7のいずれかに記載の電子放出素子。

【請求項9】 前記間隙部は、前記導電性膜に形成された亀裂である請求項1～8のいずれかに記載の電子放出素子。

【請求項10】 前記電子放出素子が、表面伝導型電子放出素子である請求項1～9のいずれかに記載の電子放出素子。

【請求項11】 基板上に、複数の電子放出素子が配置された電子源において、前記電子放出素子が請求項1～10のいずれかに記載の電子放出素子であることを特徴とする電子源。

【請求項12】 複数の電子放出素子が結線された素子列が、複数配置された請求項11に記載の電子源。

【請求項13】 複数の電子放出素子が、マトリクス配線された請求項11に記載の電子源。

【請求項14】 基板上に複数の電子放出素子が配置された電子源と、画像形成部材とを有する画像形成装置において、前記電子源が請求項11～13のいずれかに記載の電子源であることを特徴とする画像形成装置。

2

【請求項15】 前記画像形成部材が、蛍光体である請求項14に記載の画像形成装置。

【請求項16】 間隙部を有する導電性膜を電極間に備える電子放出素子の製造方法において、間隙部を有する導電性膜の該間隙部に、金属を主体とする膜を形成する工程を有することを特徴とする電子放出素子の製造方法。

【請求項17】 前記金属を主体とする膜を形成する工程は、前記導電性膜に電圧を印加する工程を有する請求項16に記載の電子放出素子の製造方法。

【請求項18】 前記金属を主体とする膜を形成する工程は、前記導電性膜に、メッキ液中で電圧を印加する工程を有する請求項16に記載の電子放出素子の製造方法。

【請求項19】 前記金属を主体とする膜を形成する工程は、前記導電性膜に、前記金属元素を含む金属の雰囲気中で電圧を印加する工程を有する請求項16に記載の電子放出素子の製造方法。

【請求項20】 更に、水素を含む雰囲気中で、前記導電性膜に電圧を印加する工程を有する請求項19に記載の電子放出素子の製造方法。

【請求項21】 前記金属化合物が、IVa、Va、V Ia、VI Ia、VII Ia、VIII Ia族に属する元素群から選択される元素の化合物である請求項19または20に記載の電子放出素子の製造方法。

【請求項22】 前記金属化合物が、IVa、Va、V Ia、VI Ia、VII Ia族に属する元素群から選択される元素のハロゲン化合物である請求項19または20に記載の電子放出素子の製造方法。

【請求項23】 前記ハロゲン化合物が、フッ化物である請求項22に記載の電子放出素子の製造方法。

【請求項24】 前記フッ化物が、WF₆である請求項23に記載の電子放出素子の製造方法。

【請求項25】 前記金属化合物が、IVa、Va、V Ia、VI Ia、VII Ia族に属する元素群から選択される元素のカルボニル化合物である請求項19または20に記載の電子放出素子の製造方法。

【請求項26】 前記カルボニル化合物が、W(CO)₆またはMo(CO)₆である請求項25に記載の電子放出素子の製造方法。

【請求項27】 前記金属化合物が、IVa、Va、V Ia、VI Ia、VII Ia族に属する元素群から選択される元素のエニル錯体である請求項19または20に記載の電子放出素子の製造方法。

【請求項28】 前記エニル錯体が、W(C₅H₅)₂H₂またはHf(C₅H₅)₂H₂である請求項27に記載の電子放出素子の製造方法。

【請求項29】 前記間隙部は、前記導電性膜に形成された亀裂である請求項16～28のいずれかに記載の電子放出素子の製造方法。

3

【請求項30】 前記電子放出素子が、表面伝導型電子放出素子である請求項16～28のいずれかに記載の電子放出素子の製造方法。

【請求項31】 基板上に、複数の電子放出素子が配置された電子源の製造方法において、前記電子放出素子が請求項16～30のいずれかに記載の方法にて製造されることを特徴とする電子源の製造方法。

【請求項32】 基板上に複数の電子放出素子が配置された電子源と、画像形成部材とを有する画像形成装置の製造方法において、前記電子源が請求項31に記載の方法にて製造されることを特徴とする画像形成装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、電子放出素子と、とりわけ長時間安定した電子放出の維持が可能な電子放出素子、及びそれを用いた電子源、表示装置、露光装置などの画像形成装置、ならびにそれらの製造方法に関するものである。

【0002】

【従来の技術】 従来より電子放出素子としては大別して熱電子放出素子と冷陰極電子放出素子を用いた2種類のもの知られている。冷陰極電子放出素子には電界放出型（以下、「FE型」という。）、金属／絶縁層／金属型（以下、「MIM型」という。）、や表面伝導型電子放出素子等がある。FE型の例としてはW. P. Dyke & W. W. Dolan, "Field emission", *Advances in Electron Physics*, 8, 89 (1956) あるいはC. A. Spindt, "PHYSICAL Properties of thin-film field emission cathodes with molybdenum cones", *J. Appl. Phys.*, 47, 5248 (1976) 等に開示されたものが知られている。

【0003】 MIM型の例としてはC. A. Mead, "Operation of Tunnel-Emission Devices", *J. Appl. Phys.*, 32, 646 (1961) 等に開示されたものが知られている。

【0004】 表面伝導型電子放出素子型の例としては、M. I. Elinson, *Radio Eng. Electron Phys.*, 10, 1290 (1965) 等に開示されたものがある。

【0005】 表面伝導型電子放出素子は、基板上に形成された小面積の薄膜に、膜面に平行に電流を流すことにより、電子放出が生ずる現象を利用するものである。この表面伝導型電子放出素子としては、前記エリンソン等によるSnO₂ 薄膜を用いたもの、Au薄膜によるもの

4

1ms"、9, 317 (1972)」、In₂O₃/SnO₂ 薄膜によるもの[M. Hartwell and C. G. Fonstad: "IEEE Trans. ED Conf.", 519 (1975)]、カーボン薄膜によるもの[荒木久 他: 真空、第26巻、第1号、22頁(1983)]等が報告されている。

【0006】 これらの表面伝導型電子放出素子の典型的な例として前述のM. ハートウェルの素子構成を図20に模式的に示す。同図において1は基板である。4は導電性薄膜で、H型形状のパターンに、スパッタで形成された金属酸化物薄膜等からなり、後述の通電フォーミングと呼ばれる通電処理により電子放出部5が形成される。尚、図中の素子電極間隔Lは0.5～1mm、Wは0.1mmで設定されている。

【0007】 従来、これらの表面伝導型電子放出素子においては、電子放出を行う前に予め通電フォーミングと呼ばれる通電処理によって電子放出部5を形成するのが一般的であった。即ち、通電フォーミングとは前記導電性薄膜4両端に潮流電圧あるいは非常にゆっくりとした昇電圧例えば1V/分程度を印加通電し、導電性薄膜を局部的に破壊、変形もしくは変質せしめ、電氣的に高抵抗な状態にした電子放出部5を形成することである。尚、電子放出部5は導電性薄膜4の一部に亀裂が発生し、その亀裂付近から電子放出が行われる。

【0008】 上記表面伝導型電子放出素子は、構造が簡単で比較的容易に多数の電子放出素子を高密度に形成できるので、画像表示装置などへの応用が期待されている。長時間にわたって安定した電子放出が得られ、電子放出特性と効率の向上がなされれば、例えば蛍光体を画像形成部材とする画像形成装置においては、低電流で明るい高品位な画像形成装置、例えばフラットテレビが実現できる。また、低電流化にともない、画像形成装置を構成する駆動回路等のローコスト化も図れる。

【0009】 しかしながら、上述のM. ハートウェルの電子放出素子にあっては、安定な電子放出特性及び電子放出効率について、必ずしも満足のゆくものが得られておらず、これを用いて高輝度で動作安定性に優れた画像形成装置を提供するのは極めて難しいというのが実状である。

【0010】

【発明が解決しようとする課題】 本発明の目的は、上述した技術的課題を解決し、安定な電子放出特性を有し、電子放出の効率向上を図った電子放出素子を提供することにある。本発明の別の目的は、高輝度で動作安定性に優れた画像形成装置を提供することにある。

【0011】

【課題を解決するための手段】 以上の目的を達成する本発明は即ち、間隙部を有する導電性膜を電極間に備える電子放出素子において、前記導電性膜は、前記間隙部に、前記導電性膜を構成する材料よりも高融点の材料を

主体として構成された膜を有することを特徴とする電子放出素子である。また、本発明は、間隙部を有する導電性膜を電極間に備える電子放出素子において、前記導電性膜は、前記間隙部に、前記導電性膜を構成する材料よりもその蒸気圧が $1.3 \times 10^{-3} \text{ Pa}$ を呈する温度が高い材料を主体として構成された膜を有することを特徴とする電子放出素子である。

【0012】又、本発明は、基板上に、複数の電子放出素子が配置された電子源において、電子放出素子が上記の電子放出素子であることを特徴とする電子源である。

【0013】又、本発明は、基板上に複数の電子放出素子が配置された電子源と、画像形成部材とを有する画像形成装置において、電子源が上記の電子源であることを特徴とする画像形成装置である。

【0014】又、本発明は、間隙部を有する導電性膜を電極間に備える電子放出素子の製造方法において、間隙部を有する導電性膜の該間隙部に、金属を主体とする膜を形成する工程を有することを特徴とする電子放出素子の製造方法である。

【0015】又、本発明は、基板上に、複数の電子放出素子が配置された電子源の製造方法において、前記電子放出素子が上記の方法にて製造されることを特徴とする電子源の製造方法である。

【0016】又、本発明は、基板上に複数の電子放出素子が配置された電子源と、画像形成部材とを有する画像形成装置の製造方法において、前記電子源が上記の方法にて製造されることを特徴とする画像形成装置の製造方法である。

【0017】以下に本発明を詳述する。

【0018】上述のように従来の表面伝導型電子放出素子において、十分に安定な電子放出特性が得られない原因の一つは、電子放出部では電流による発熱などにより、亀裂に臨む導電性薄膜の端部を構成する材質が昇華などにより失われたり、局所的な溶融による変形が生じる等、電子放出部の微細な形状が変化を起こすことであると想像される。

【0019】上記の課題を解決するため、本発明では、導電性薄膜に形成された亀裂からなる電子放出部に、当該部分の導電性薄膜の材質とは異なる金属を主体とする材質による被覆を形成した構成をとった。該金属の材質は電子放出部の導電性薄膜の局所的溶融による変形や、昇華による消耗などを避けるため、当該部分の導電性薄膜の材質より融点が高い事、あるいは実際に素子を駆動する真空雰囲気中の圧力に等しい蒸気圧を示す温度、一般的には $1.3 \times 10^{-3} \text{ Pa}$ ($\sim 10^{-5} \text{ Torr}$) 程度の蒸気圧を示す温度が高いことが求められる。また、金属の状態ではこの条件は満たさない場合でも、表面に酸化物層が形成される場合には、該酸化物が上記条件に当てはまる場合などには、同様の効果が期待できる。本出願人は、表面伝導型電子放出素子における電子放出部の消

耗は、負極側に比べ正極側の方が顕著に現れる傾向のあることを見いだしている。従って、上記被覆膜は、少なくとも上記電子放出部の亀裂に臨む正極側の端部を被覆することを要し、さらに負極側の端部をも被覆するのが望ましい。また該被覆が亀裂に臨む端部から素子電極に向かう導電性薄膜の亀裂近傍をも被覆する構造も包含するものである。

【0020】図1は、本発明の平面型表面伝導型電子放出素子の構成の一例を示す模式図であり、図1(a)は平面図、図1(b)は断面図である。

【0021】図1において1は基板、2と3は素子電極、4は導電性薄膜5は電子放出部(亀裂)、6は上述の高融点材料よりなる被膜である。

【0022】基板1としては、石英ガラス、Na等の不純物含有量を減少したガラス、青板ガラス、青板ガラスにスパッタ法等により形成した SiO_2 を積層したガラス基板等及びアルミナ等のセラミックス等を用いることができる。

【0023】対向する素子電極2、3の材料としては、一般的な導体材料を用いることができる。これは例えばNi, Cr, Au, Mo, W, Pt, Ti, Al, Cu, Pd等の金属或は合金及びPd, Ag, Au, Ru, O_2 , Pd-Ag等の金属或は金属酸化物とガラス等から構成される印刷導体、 In_2O_3 - SnO_2 等の透明導電体及びポリシリコン等の半導体導体材料等から適宜選択することができる。

【0024】素子電極間隔L、素子電極長さW、導電性薄膜4の形状等は、応用される形態等を考慮して、設計される。素子電極間隔Lは、好ましく、数十nmから数百 μm の範囲とすることができ、より好ましくは、素子電極間に印加する電圧と電子放出し得る電界強度等を考慮して数 μm から数十 μm の範囲とすることができ。

【0025】素子電極長さWは、電極の抵抗値、電子放出特性を考慮して、数 μm から数百 μm の範囲とすることができ。素子電極2、3の膜厚dは、数十nmから数 μm の範囲とすることができ。

【0026】尚、図1に示した構成だけでなく、基板1上に、導電性薄膜4、対向する素子電極2、3の順に積層した構成とすることもできる。

【0027】導電性薄膜4には、良好な電子放出特性を得るために、微粒子で構成された微粒子膜を用いるのが好ましい。その膜厚は、素子電極2、3へのステップカバレッジ、素子電極2、3間の抵抗値及び後述するフォーミング条件等を考慮して適宜設定されるが、通常は、0.1nmの数倍から数百nmの範囲とするのが好ましく、より好ましくは1nmより50nmの範囲とするのが良い。その抵抗値は R_s が 10^2 から $10^7 \Omega/\square$ の値である。なお R_s は、厚さがt、幅がwで長いが1の薄膜の抵抗Rを、 $R = R_s (1/w)$ とおいたときに現れる値である。本願明細書において、フォーミング処理

については、通電処理を例に挙げて説明するが、フォーミング処理はこれに限られるものではなく、膜に亀裂を生じさせて高抵抗状態を形成する物理的処理、あるいは化学的処理を包含するものである。

【0028】導電性薄膜4を構成する材料は、Pd, Pt, Ru, Ag, Au, Ti, In, Cu, Cr, Fe, Zn, Sn, Pb等の金属、PdO, SnO₂, In₂O₃, PbO, Sb₂O₃等の酸化物、LaB₆, CeB₆, YB₄, Gd₂B₄等の硼化物、TiC, SiC等の炭化物、TiN等の窒化物、Si, Ge等の半導体の中から適宜選択される。

【0029】なお、本明細書では頻繁に「微粒子」という言葉を用いるので、その意味について説明する。

【0030】小さな粒子を「微粒子」と呼び、これよりも小さなものを「超微粒子」と呼ぶ。「超微粒子」よりもさらに小さく原子の数が数百個程度以下のものを「クラスター」と呼ぶことは広く行われている。

【0031】しかしながら、それぞれの境は厳密なものではなく、どの様な性質に注目して分類するかにより変化する。また「微粒子」と「超微粒子」を一括して「微粒子」と呼ぶ場合もあり、本明細書中での記述はこれに沿ったものである。

【0032】「実験物理学講座14 表面・微粒子」(木下是雄 編、共立出版 1986年9月1日発行)では次のように記述されている。

【0033】「本稿で微粒子と言うときにはその直径がだいたい2~3 μ m程度から10nm程度までとし、特に超微粒子というときは粒径が10nm程度から2~3nm程度までを意味することにする。両者を一括して単に微粒子と書くこともあってけっして厳密なものではなく、だいたいの目安である。粒子を構成する原子の数が2個から数十~数百個程度の場合はクラスターと呼ぶ。」(195ページ 22~26行目)

【0034】付言すると、新技術開発事業団の“林・超微粒子プロジェクト”での「超微粒子」の定義は、粒径の下限はさらに小さく、次のようなものであった。

【0035】「創造科学技術推進制度の“超微粒子プロジェクト”(1981~1986)では、粒子の大きさ(径)がおおよそ1~100nmの範囲のものを“超微粒子”(ultra fine particle)と呼ぶことにした。すると1個の超微粒子はおおよそ100~10⁸個くらいの原子の集合体という事になる。原子の尺度でみれば超微粒子は大~巨大粒子である。」(「超微粒子—創造科学技術—」林主税、上田良二、田崎明 編;三田出版 1988年 2ページ1~4行目)「超微粒子よりさらに小さいもの、すなわち原子が数個~数百個で構成される1個の粒子は、ふつうクラスターと呼ばれる」(同書2ページ12~13行目)

【0036】上記のような一般的な呼び方をふまえて、本明細書において「微粒子」とは多数の原子・分子の集

合体で、粒径の下限は0.1nmの数倍から1nm程度、上限は数 μ m程度のものを指すこととする。

【0037】電子放出部5は、導電性薄膜4の一部に形成された高抵抗の亀裂により構成され、導電性薄膜4の膜厚、膜質、材料及び後述する通電フォーミング等の手法等に依存したものとなる。電子放出部亀裂5は、0.1nmの数倍から数十nmの範囲の粒径の導電性微粒子を用いて構成することもできる。この導電性微粒子は、導電性薄膜4を構成する材料の元素の一部、あるいは全ての元素を含有するものとなる。電子放出部亀裂5には、高融点材料よりなる被膜6を有する。

【0038】次に、垂直型表面伝導型電子放出素子について説明する。

【0039】図2は、本発明の表面伝導型電子放出素子を適用できる垂直型表面伝導型電子放出素子の一例を示す模式図である。

【0040】図2においては、図1に示した部位と同じ部位には図1に付した符号と同一の符号を付している。7は、段差形成部である。基板1、素子電極2及び3、導電性薄膜4、電子放出部亀裂5は、前述した平面型表面伝導型電子放出素子の場合と同様の材料で構成することができる。段差形成部7は、真空蒸着法、印刷法、スパッタ法等で形成されたSiO₂等の絶縁性材料で構成することができる。段差形成部7の膜厚は、先に述べた平面型表面伝導型電子放出素子の素子電極間隔しに対応し、数十nmから数十 μ mの範囲とすることができる。この膜厚は、段差形成部の製法、及び、素子電極間に印加する電圧と電子放出し得る電界強度等を考慮して設定されるが、数十nmから数 μ mの範囲が好ましい。

【0041】導電性薄膜4は、素子電極2及び3と段差形成部7作成後に、該素子電極2, 3の上に積層される。電子放出部5は、図2においては、段差形成部7に直線状に形成されているが、作成条件、フォーミング条件等に依存し、形状、位置ともこれに限られるものではない。

【0042】上述の表面伝導型電子放出素子の製造方法としては様々な方法があるが、その一例を図4に模式的に示す。

【0043】以下、図1及び図3を参照しながら製造方法の一例について説明する。図3においても、図1に示した部位と同じ部位には図1に付した符号と同一の符号を付している。

【0044】1)基板1を洗剤、純水および有機溶剤等を用いて十分に洗浄後、真空蒸着法、スパッタ法等により素子電極材料を堆積後、例えばフォトリソグラフィ技術を用いて基板1上に素子電極2, 3を形成する(図3(a))。

【0045】2)素子電極2, 3を設けた基板1に、有機金属溶液を塗布して、有機金属薄膜を形成する。有機金属溶液には、前述の導電性薄膜4の材料の金属を主元

素とする有機金属化合物の溶液を用いることができる。有機金属薄膜を加熱焼成処理し、リフトオフ、エッチング等によりパターンニングし、導電性薄膜4を形成する(図3(b))。ここでは、有機金属溶液の塗布法を挙げて説明したが、導電性薄膜4の形成法はこれに限られるものでなく、真空蒸着法、スパッタ法、化学的気相堆積法、分散塗布法、ディッピング法、スピンナー法等を用いることもできる。

【0046】3) つづいて、フォーミングと呼ばれる通電処理を施す。素子電極2, 3間に、不図示の電源を用いて、通電を行うと、導電性薄膜4の部位に、電子放出部亀裂5が形成される(図3(c))。通電フォーミングの電圧波形の例を図4に示す。

【0047】電圧波形は、パルス波形が、好ましい。これにはパルス波高値を定電圧としたパルスを連続的に印加する図4(a)に示した手法とパルス波高値を増加させながら、電圧パルスを印加する図4(b)に示した手法がある。

【0048】図4(a)におけるT1及びT2は電圧波形のパルス幅とパルス間隔である。通常T1は1μsec. ~ 10msec.、T2は、10μsec. ~ 100msec. の範囲で設定される。三角波の波高値(通電フォーミング時のピーク電圧)は、表面伝導型電子放出素子形態に応じて適宜選択される。このような条件のもと、真空雰囲気下で、数秒から数十分間電圧を印加する。パルス波形は三角波に限定されるものではなく、矩形波など所望の波形を採用することができる。

【0049】図4(b)におけるT1及びT2は、図4(a)に示したのと同様とすることができる。三角波の波高値(通電フォーミング時のピーク電圧)は、例えば0.1Vステップ程度づつ、増加させることができる。

【0050】通電フォーミング処理の終了は、パルス間隔T2中に、導電性薄膜2を局部的に破壊、変形しない程度の電圧を印加し、電流を測定して検知することができる。例えば0.1V程度の電圧印加により流れる素子電流を測定し、抵抗値を求めて、1MΩ以上の抵抗を示した時、通電フォーミングを終了させる。

【0051】4) つづいて、高融点材料による被膜の形成を行う。この被膜の材質としては、第5及び第6周期に属するIVa、Va、VIa、VIIa、VIIIa族元素の単体金属ないし合金、あるいはそれらの混合物が融点が高く好ましい。具体的にはNb, Mo, Ru, Hf, Ta, W, Re, Os, Irは単体金属として2000℃以上の融点を示し好ましい。またZr, Rhも融点が2000℃に近く使用可能である。1.3×10⁻³Pa(10⁻⁵Torr)の蒸気圧を示す温度は、導電性薄膜としてPdを用いた場合、Pdが1370Kであるのに対し、W; 2840K, Ta; 2680K, Re; 2650K, Os; 2600K, Nb; 2390K等、いずれも好ましく用いることができる。とくにW

は、融点が3380℃とこれらの金属の中で最も高いため好ましい材質である。また、第4周期に属するNiは単体では融点が1453℃とPdの1554℃に比べても低いが、Wを10原子%程度含有して合金を形成すると1500℃以上まで融点が上昇し、さらに表面に酸化物層が形成されると融点が2000℃近くになり、電界蒸発の速度が非常に遅くなるため、電子放出部の消耗を防止する効果が期待できる。

【0052】また該被膜は電子放出部付近のみに形成されるため、素子電極間に電圧を印加し、これにより被膜が堆積される薄膜堆積法を用いるのが簡便である。具体的には、素子電極間に電圧を印加し、電界メッキ法によりメッキ膜を形成する方法、あるいは当該金属の化合物を含有する雰囲気中で、素子電極間に電圧を印加し分解反応を起こさせることにより当該金属の膜を堆積させる化学的気相成長法などを挙げることが出来る。

【0053】メッキ法で用いるメッキ浴としては、W-Ni合金被膜を形成するための、Na₂WO₄, NiSO₄を含むクエン酸-アンモニア浴、Ni被膜を形成するためのスルホサリチル酸Ni浴等を挙げることが出来る。また化学的気相成長法で雰囲気形成に用いる金属化合物としては、フッ化物、塩化物、臭化物、ヨウ化物等の金属ハロゲン化物、メチル化物、エチル化物、ベンジル化物などのアルキル金属類、アセチルアセトナート、ジピバノイルメタナート、ヘキサフルオロアセチルアセトナート等の金属β-ジケトナート類、アリル錯体、シクロペンタジエニル錯体等の金属エニル錯体類、ベンゼン錯体等のアレーン錯体、金属カルボニル類、金属アルコキシド類など及びこれらの複合した化合物などを挙げることが出来る。本発明では前述の高融点材料を堆積する必要があるため、より好適な化合物の例として、NbF₅, NbCl₅, Nb(C₅H₅)(CO)₄, Nb(C₅H₅)₂Cl₂, OsF₄, Os(C₃H₇O)₂, Os(CO)₅, Os₃(CO)₁₂, Os(C₅H₅)₂, ReF₅, ReCl₅, Re(CO)₁₀, ReCl(CO)₅, Re(CH₃)(CO)₅, Re(C₅H₅)(CO)₃, Ta(C₅H₅)(CO)₄, Ta(OC₂H₅)₅, Ta(C₅H₅)₂, Ta(C₅H₅)₂H₃, WF₆, W(CO)₆, W(C₅H₅)₂Cl₂, W(C₅H₅)₂H₂, W(CH₃)₆等が挙げられる。この場合条件によっては、当該金属以外に炭素などの物質が被膜中に含有される場合もある。

【0054】この処理においては、上記金属化合物と同時に水素などエッチング性のある物質を導入し、被覆膜の結晶性を制御しても良いし、素子を加熱するなどして被覆膜の形状その他を制御することも可能で、条件に応じて適宜行われる。

【0055】この処理により被膜の形成が進行するに伴い、素子電極間に流れる電流が増加するので、この電流

値を測定して処理の終了を判定する。判定の条件は、処理に用いる方法、素子の形状などの条件に応じて適宜定める。

【0056】処理の終了後、素子の清浄化を行う。具体的には、メッキ法を用いた場合には、水洗など適当な洗浄を行い乾燥する。また化学的気相成長法による場合は、真空処理装置から該化合物を排気し、必要に応じて素子や真空処理装置自体を適当な温度に加熱するなどして、清浄な真空雰囲気を形成し、適当な時間この中に静置する。

【0057】なお、この処理により形成される被覆膜は、微粒子が緻密に敷き詰められたような状態で形成される場合があり、このとき微粒子の粒径は、上記処理の際印加する電圧などによって変化し、また一つの素子上でも場所によって異なる場合があるが、およそ30～100nm程度である。

【0058】上述した工程を経て得られた本発明の電子放出素子の基本特性について図5、図6を参照しながら説明する。

【0059】図5は、真空処理装置の一例を示す模式図であり、この真空処理装置は測定評価装置としての機能をも兼ね備えている。図5においても、図1に示した部位と同じ部位には図1に付した符号と同一の符号を付している。図5において、15は真空容器であり、16は排気ポンプである。真空容器15内には電子放出素子が配されている。即ち、1は電子放出素子を構成する基体であり、2及び3は素子電極、4は導電性薄膜、5は電子放出部亀裂で、図では省略してあるが亀裂内部/近傍に高融点材料よりなる被膜を有する。11は、電子放出素子に素子電圧 V_f を印加するための電源、10は素子電極2、3間の導電性薄膜4を流れる素子電流 I_f を測定するための電流計、14は素子の電子放出部より放出される放出電流 I_e を捕捉するためのアノード電極である。13はアノード電極14に電圧を印加するための高圧電源、12は素子の電子放出部5より放出される放出電流 I_e を測定するための電流計である。一例として、アノード電極の電圧を1kV～10kVの範囲とし、アノード電極と電子放出素子との距離 H を2～8mmの範囲として測定を行うことができる。

【0060】真空容器15内には、不図示の真空計等の真空雰囲気下での測定に必要な機器が設けられていて、所望の真空雰囲気下での測定評価を行えるようになっている。排気ポンプ16は、ターボポンプ、ロータリーポンプからなる通常の高真空装置系と更に、イオンポンプ等からなる超高真空装置系とにより構成されている。ここに示した電子源基板を配した真空処理装置の全体は、不図示のヒーターにより250℃まで加熱できる。従って、この真空処理装置を用いると、前述の通電フォーミング以降の工程も行うことができる。18は、必要に応じて真空装置内に導入する物質を貯蔵しておく物質源

で、アンプル又はボンベを用いる。17は該導入物質の導入量を調整するためのバルブである。

【0061】図6は、図5に示した真空処理装置を用いて測定された放出電流 I_e 、素子電流 I_f と素子電圧 V_f の関係を模式的に示した図である。図6においては、放出電流 I_e が素子電流 I_f に比べて著しく小さいので、任意単位で示している。なおいずれもリニアスケールである。

【0062】図5からも明らかなように、本発明の表面伝導型電子放出素子は、放出電流 I_e に関して三つの特徴的性質を有する。

【0063】即ち、(i)本素子はある電圧(しきい値電圧と呼ぶ、図5中の V_{th})以上の素子電圧を印加すると急激に放出電流 I_e が増加し、一方しきい値電圧 V_{th} 以下では放出電流 I_e がほとんど検出されない。つまり、放出電流 I_e に対する明確なしきい値電圧 V_{th} を持った非線形素子である。

【0064】(ii)放出電流 I_e が素子電圧 V_f に単調増加依存するため、放出電流 I_e は素子電圧 V_f で制御できる。

【0065】(iii)アノード電極14に捕捉される放出電荷は、素子電圧 V_f を印加する時間に依存する。つまり、アノード電極14に捕捉される電荷量は、素子電圧 V_f を印加する時間により制御できる。

【0066】以上の説明より理解されるように、本発明の表面伝導型電子放出素子は、入力信号に応じて、電子放出特性を容易に制御できることになる。この性質を利用すると複数の電子放出素子を配して構成した電子源、画像形成装置等、多方面への応用が可能となる。

【0067】図5においては、素子電流 I_f は素子電圧 V_f に対して単調増加する(以下、「MI特性」という)。素子電流 I_f が素子電圧 V_f に対して電圧制御型負性抵抗特性(以下、「VCNR特性」という。)を示す場合もある(不図示)。これら特性は、製造条件を制御することで制御できる。

【0068】本発明を適用可能な電子放出素子の応用例について以下に述べる。本発明の表面伝導型電子放出素子の複数個を基板上に配列し、例えば電子源あるいは、画像形成装置が構成できる。

【0069】電子放出素子の配列については、種々のものが採用できる。

【0070】一例として、並列に配置した多数の電子放出素子の個々を両端で接続し、電子放出素子の行を多数個配し(行方向と呼ぶ)、この配線と直交する方向(列方向と呼ぶ)で、該電子放出素子の上方に配した制御電極(グリッドとも呼ぶ)により、電子放出素子からの電子を制御駆動するはしご状配置のものがある。これとは別に、電子放出素子をX方向及びY方向に行列状に複数個配し、同じ行に配された複数の電子放出素子の電極の一方を、X方向の配線に共通に接続し、同じ列に配され

た複数の電子放出素子の電極の他方を、Y方向の配線に共通に接続するものが挙げられる。このようなものは所謂単純マトリクス配置である。まず単純マトリクス配置について以下に詳述する。

【0071】本発明を適用可能な表面伝導型電子放出素子については、前述したとおり(1)乃至(111)の特性がある。即ち、表面伝導型電子放出素子からの放出電子は、しきい値電圧以上では、対向する素子電極間に印加するパルス状電圧の波高値と巾で制御できる。一方、しきい値電圧以下では、殆ど放出されない。この特性によれば、多数の電子放出素子を配置した場合においても、個々の素子に、パルス状電圧を適宜印加すれば、入力信号に応じて、表面伝導型電子放出素子を選択して電子放出量を制御できる。

【0072】以下この原理に基づき、本発明の電子放出素子を複数配して得られる電子源基板について、図7を用いて説明する。図7において、21は電子源基板、22はX方向配線、23はY方向配線である。24は表面伝導型電子放出素子、25は結線である。尚、表面伝導型電子放出素子24は、前述した平面型あるいは垂直型のどちらであってもよい。

【0073】m本のX方向配線22は、 $D \times 1, D \times 2, \dots, D \times m$ からなり、真空蒸着法、印刷法、スパッタ法等を用いて形成された導電性金属等で構成することができる。配線の材料、膜厚、巾は、適宜設計される。Y方向配線23は、 $Dy1, Dy2, \dots, Dyn$ のn本の配線よりなり、X方向配線22と同様に形成される。これらm本のX方向配線22とn本のY方向配線23との間には、不図示の層間絶縁層が設けられており、両者を電気的に分離している(m, nは、共に正の整数)。

【0074】不図示の層間絶縁層は、真空蒸着法、印刷法、スパッタ法等を用いて形成された SiO_2 等で構成される。例えば、X方向配線22を形成した基板21の全面或は一部に所望の形状で形成され、特に、X方向配線22とY方向配線23の交差部の電位差に耐え得るように、膜厚、材料、製法が、適宜設定される。X方向配線22とY方向配線23は、それぞれ外部端子として引き出されている。

【0075】表面伝導型放出素子74を構成する一対の電極(不図示)は、m本のX方向配線22とn本のY方向配線23と導電性金属等からなる結線25によって電気的に接続されている。

【0076】配線22と配線23を構成する材料、結線25を構成する材料及び一対の素子電極を構成する材料は、その構成元素の一部あるいは全部が同一であっても、またそれぞれ異なってもよい。これら材料は、例えば前述の素子電極の材料より適宜選択される。素子電極を構成する材料と配線材料が同一である場合には、素子電極に接続した配線は素子電極ということもできる。

【0077】X方向配線22には、X方向に配列した表

面伝導型放出素子24の行を、選択するための走査信号を印加する不図示の走査信号印加手段が接続される。一方、Y方向配線23には、Y方向に配列した表面伝導型放出素子24の各列を入力信号に応じて、変調するための不図示の変調信号発生手段が接続される。各電子放出素子に印加される駆動電圧は、当該素子に印加される走査信号と変調信号の差電圧として供給される。

【0078】上記構成においては、単純なマトリクス配線を用いて、個別の素子を選択し、独立に駆動可能とすることができる。

【0079】このような単純マトリクス配置の電子源を用いて構成した画像形成装置について、図8と図9及び図10を用いて説明する。図8は、画像形成装置の表示パネルの一例を示す模式図であり、図9は、図8の画像形成装置に使用される蛍光膜の模式図である。図10は、NTSC方式のテレビ信号に応じて表示を行うための駆動回路の一例を示すブロック図である。

【0080】図8において、21は電子放出素子を複数配した電子源基板、31は電子源基板21を固定したリアプレート、36はガラス基板33の内面に蛍光膜34とメタルバック35等が形成されたフェースプレートである。32は、支持枠であり該支持枠32には、リアプレート31、フェースプレート36がフリットガラス等を用いて接続されている。37は外囲器であり、例えば大気中あるいは、窒素中で、400~500℃の温度範囲で10分以上焼成することで、封着して構成される。

【0081】24は電子放出素子。22、23は、表面伝導型電子放出素子の一対の素子電極と接続されたX方向配線及びY方向配線である。

【0082】外囲器37は、上述の如く、フェースプレート36、支持枠32、リアプレート31で構成される。リアプレート31は主に基板21の強度を補強する目的で設けられるため、基板21自体で十分な強度を持つ場合は別体のリアプレート31は不要とすることができる。即ち、基板21に直接支持枠32を封着し、フェースプレート36、支持枠32及び基板21で外囲器37を構成しても良い。一方、フェースプレート36、リアプレート31間に、スペーサーとよばれる不図示の支持体を設置することにより、大気圧に対して十分な強度をもつ外囲器37を構成することもできる。

【0083】図9は、蛍光膜を示す模式図である。蛍光膜34は、モノクロームの場合は蛍光体のみから構成することができる。カラーの蛍光膜の場合は、蛍光体の配列によりブラックストライプあるいはブラックマトリクスなどと呼ばれる黒色導電材38と蛍光体39とから構成することができる。ブラックストライプ、ブラックマトリクスを設ける目的は、カラー表示の場合、必要となる三原色蛍光体の各蛍光体39間の塗り分け部を黒くすることで混色等を目立たなくすることと、蛍光膜34における外光反射によるコントラストの低下を抑制する

ことにある。ブラックストライプの材料としては、通常用いられている黒鉛を主成分とする材料の他、導電性があり、光の透過及び反射が少ない材料を用いることができる。

【0084】ガラス基板33に感光体を塗布する方法は、モノクローム、カラーによらず、沈澱法、印刷法等が採用できる。蛍光膜34の内面側には、通常メタルバック35が設けられる。メタルバックを設ける目的は、蛍光体の発光のうち内面側への光をフェースプレート36側へ鏡面反射させることにより輝度を向上させること、電子ビーム加速電圧を印加するための電極として作用させること、外囲器内で発生した負イオンの衝突によるダメージから蛍光体を保護すること等である。メタルバックは、蛍光膜作製後、蛍光膜の内面側表面の平滑化処理（通常、「フィルミング」と呼ばれる。）を行い、その後A1を真空蒸着等を用いて堆積させることで作製できる。

【0085】フェースプレート36には、更に蛍光膜34の導電性を高めるため、蛍光膜34の外側面に透明電極（不図示）を設けてもよい。

【0086】前述の封着を行う際には、カラーの場合は各色蛍光体と電子放出素子とを対応させる必要があり、十分な位置合わせが不可欠となる。

【0087】図8に示した画像形成装置は、例えば以下のようにして製造される。

【0088】外囲器37は、前述の安定化工程と同様に、適宜加熱しながら、イオンポンプ、ソーブションポンプなどのオイルを使用しない排気装置により不図示の排気管を通じて排気し、 10^{-5} Pa程度の真空度の有機物質の十分少ない雰囲気にした後、封止が成される。外囲器37の封止後の真空度を維持するために、ゲッター処理を行うこともできる。これは、外囲器37の封止を行う直前あるいは封止後に、抵抗加熱あるいは高周波加熱等を用いた加熱により、外囲器37内の所定の位置（不図示）に配置されたゲッターを加熱し、蒸着膜を形成する処理である。ゲッターは通常Ba等が主成分であり、該蒸着膜の吸着作用により、たとえば 1×10^{-4} ないしは 1×10^{-5} Paの真空度を維持するものである。ここで、表面伝導型電子放出素子のフォーミング処理以降の工程は、適宜設定できる。

【0089】次に、単純マトリクス配置の電子源を用いて構成した表示パネルに、NTSC方式のテレビ信号に基づいたテレビジョン表示を行うための駆動回路の構成例について、図10を用いて説明する。図10において、41は画像表示パネル、42は走査回路、43は制御回路、44はシフトレジスタである。45はラインメモリ、46は同期信号分離回路、47は変調信号発生器、VxおよびVaは直流電圧源である。

【0090】表示パネル41は、端子Dox1乃至Doxm、端子Doy1乃至Doy n、及び高圧端子Hvを

介して外部の電気回路と接続している。端子Dox1乃至Doxmには、表示パネル内に設けられている電子源、即ち、M行N列の行列状にマトリクス配線された表面伝導型電子放出素子群を一行（N素子）ずつ順次駆動する為の走査信号が印加される。

【0091】端子Dy1乃至Dy nには、前記走査信号により選択された一行の表面伝導型電子放出素子の各素子の出力電子ビームを制御する為の変調信号が印加される。高圧端子Hvには、直流電圧源Vaより、例えば10K [V] の直流電圧が供給されるが、これは表面伝導型電子放出素子から放出される電子ビームに蛍光体を励起するのに十分なエネルギーを付与する為の加速電圧である。

【0092】走査回路42について説明する。同回路は、内部にM個のスイッチング素子を備えたもので（図中、S1ないしSmで模式的に示している）ある。各スイッチング素子は、直流電圧源Vxの出力電圧もしくは0 [V]（グラウンドレベル）のいずれか一方を選択し、表示パネル41の端子Dx1ないしDxmと電気的に接続される。S1乃至Smの各スイッチング素子は、制御回路43が出力する制御信号Tscanに基づいて動作するものであり、例えばFETのようなスイッチング素子を組み合わせることにより構成することができる。

【0093】直流電圧源Vxは、本例の場合には表面伝導型電子放出素子の特性（電子放出しきい値電圧）に基づき走査されていない素子に印加される駆動電圧が電子放出しきい値電圧以下となるような一定電圧を出力するように設定されている。

【0094】制御回路43は、外部より入力する画像信号に基づいて適切な表示が行われるように各部の動作を整合させる機能を有する。制御回路43は、同期信号分離回路46より送られる同期信号Tsyncに基づいて、各部に対してTscanおよびTsftおよびTmryの各制御信号を発生する。

【0095】同期信号分離回路46は、外部から入力されるNTSC方式のテレビ信号から同期信号成分と輝度信号成分とを分離する為の回路で、一般的な周波数分離（フィルター）回路等を用いて構成できる。同期信号分離回路46により分離された同期信号は、垂直同期信号と水平同期信号より成るが、ここでは説明の便宜上Tsync信号として図示した。前記テレビ信号から分離された画像の輝度信号成分は便宜上DATA信号と表した。該DATA信号はシフトレジスタ44に入力される。

【0096】シフトレジスタ44は、時系列的にシリアルに入力される前記DATA信号を、画像の1ライン毎にシリアル/パラレル変換するためのもので、前記制御回路43より送られる制御信号Tsftに基づいて動作する（即ち、制御信号Tsftは、シフトレジスタ44のシフトクロックであるということもできる。）。シリ

アル/パラレル変換された画像 1 ライン分 (電子放出素子 N 素子分の駆動データに相当) のデータは、I d 1 乃至 I d n の N 個の並列信号として前記シフトレジスタ 4 4 より出力される。

【0097】ラインメモリ 4 5 は、画像 1 ライン分のデータを必要時間の間だけ記憶する為の記憶装置であり、制御回路 4 3 より送られる制御信号 T m r y に従って適宜 I d 1 乃至 I d n の内容を記憶する。記憶された内容は、I' d 1 乃至 I' d n として出力され、変調信号発生器 4 7 に入力される。

【0098】変調信号発生器 4 7 は、画像データ I' d 1 乃至 I' d n の各々に応じて表面伝導型電子放出素子の各々を適切に駆動変調する為の信号源であり、その出力信号は、端子 D o y 1 乃至 D o y n を通じて表示パネル 4 1 内の表面伝導型電子放出素子に印加される。

【0099】前述したように、本発明を適用可能な電子放出素子は放出電流 I e に対して以下の基本特性を有している。即ち、電子放出には明確なしきい値電圧 V t h があり、V t h 以上の電圧を印加された時のみ電子放出が生じる。電子放出しきい値以上の電圧に対しては、素子への印加電圧の変化に応じて放出電流も変化する。このことから、本素子にパルス状の電圧を印加する場合、例えば電子放出閾値以下の電圧を印加しても電子放出は生じないが、電子放出閾値以上の電圧を印加する場合には電子ビームが出力される。その際、パルスの波高値 V m を変化させる事により出力電子ビームの強度を制御することが可能である。また、パルスの幅 P w を変化させることにより出力される電子ビームの電荷の総量を制御する事が可能である。

【0100】従って、入力信号に応じて、電子放出素子を変調する方式としては、電圧変調方式、パルス幅変調方式等が採用できる。電圧変調方式を実施するに際しては、変調信号発生器 4 7 として、一定長さの電圧パルスを発生し、入力されるデータに応じて適宜パルスの波高値を変調するような電圧変調方式の回路を用いることができる。

【0101】パルス幅変調方式を実施するに際しては、変調信号発生器 4 7 として、一定の波高値の電圧パルスを発生し、入力されるデータに応じて適宜電圧パルスの幅を変調するようなパルス幅変調方式の回路を用いることができる。

【0102】シフトレジスタ 4 4 やラインメモリ 4 5 は、デジタル信号式のものをアナログ信号式のものを採用できる。画像信号のシリアル/パラレル変換や記憶が所定の速度で行なわれれば良いからである。

【0103】デジタル信号式を用いる場合には、同期信号分離回路 4 6 の出力信号 D A T A をデジタル信号化する必要があるが、これには 4 6 の出力部に A/D 変換器を設ければ良い。これに関連してラインメモリ 4 5 の出力信号がデジタル信号かアナログ信号かにより、変調信

号発生器 4 7 に用いられる回路が若干異なったものとなる。即ち、デジタル信号を用いた電圧変調方式の場合、変調信号発生器 4 7 には、例えば D/A 変調回路を用い、必要に応じて増幅回路などを付加する。パルス幅変調方式の場合、変調信号発生器 4 7 には、例えば高速の発振器および発振器の出力する波数を計数する計数器

(カウンタ) 及び計数器の出力値と前記メモリの出力値を比較する比較器 (コンパレータ) を組み合わせた回路を用いる。必要に応じて、比較器の出力するパルス幅変調された変調信号を表面伝導型電子放出素子の駆動電圧にまで電圧増幅するための増幅器を付加することもできる。

【0104】アナログ信号を用いた電圧変調方式の場合、変調信号発生器 4 7 には、例えばオペアンプなどを用いた増幅回路を採用でき、必要に応じてレベルシフト回路などを付加することもできる。パルス幅変調方式の場合には、例えば、電圧制御型発振回路 (VCO) を採用でき、必要に応じて表面伝導型電子放出素子の駆動電圧まで電圧増幅するための増幅器を付加することもできる。

【0105】このような構成をとり得る本発明の画像表示装置においては、各電子放出素子に、容器外端子 D o x 1 乃至 D o x m、D o y 1 乃至 D o y n を介して電圧を印加することにより、電子放出が生ずる。高圧端子 H v を介してメタルバック 8 5、あるいは透明電極 (不図示) に高圧を印加し、電子ビームを加速する。加速された電子は、蛍光膜 8 4 に衝突し、発光が生じて画像が形成される。

【0106】ここで述べた画像形成装置の構成は、本発明の適用可能な画像形成装置の一例であり、本発明の技術思想に基づいて種々の変形が可能である。入力信号については、NTSC 方式を挙げたが入力信号はこれに限られるものではなく、PAL、SECAM 方式など他、これよりも、多数の走査線からなる TV 信号 (例えば、MUSE 方式をはじめとする高品位 TV) 方式をも採用できる。

【0107】次に、はしご型配置の電子源及び画像形成装置について図 2 1 及び図 1 9 を用いて説明する。

【0108】図 2 1 は、はしご型配置の電子源の一例を示す模式図である。図 2 1 において、2 1 は電子源基板、2 4 は電子放出素子である。2 6、D x 1 ~ D x 1 0 は、電子放出素子 2 4 を接続するための共通配線である。電子放出素子 2 2 は、基板 2 1 上に、X 方向に並列に複数個配されている (これを素子行と呼ぶ)。この素子行が複数個配されて、電子源を構成している。各素子行の共通配線間に駆動電圧を印加することで、各素子行を独立に駆動させることができる。即ち、電子ビームを放出させたい素子行には、電子放出しきい値以上の電圧を、電子ビームを放出しない素子行には、電子放出しきい値以下の電圧を印加する。各素子行間の共通配線 D x

2〜D×9は、例えばD×2、D×3を同一配線とすることもできる。

【0109】図19は、はしご型配置の電子源を備えた画像形成装置におけるパネル構造の一例を示す模式図である。84はグリッド電極、85は電子が通過するため空孔、86はD×1、D×2、…D×mよりなる容器外端子である。87はグリッド電極84と接続されたG1、G2、…Gnからなる容器外端子、21は電子源基板である。図19においては、図7、図8に示した部位と同じ部位には、これらの図に付したのと同じ符号を付している。ここに示した画像形成装置と、図8に示した単純マトリクス配置の画像形成装置との大きな違いは、電子源基板21とフェースプレート36の間にグリッド電極84を備えているか否かである。

【0110】グリッド電極84は、表面伝導型放出素子から放出された電子ビームを変調するためのものであり、はしご型配置の素子行と直交して設けられたストライプ状の電極に電子ビームを通過させるため、各素子に対応して1個ずつ円形の開口85が設けられている。グリッドの形状や設置位置は図19に示したものに限定されるものではない。例えば、開口としてメッシュ状に多数の通過口を設けることもでき、グリッドを表面伝導型放出素子の周囲や近傍に設けることもできる。

【0111】容器外端子86及びグリッド容器外端子87は、不図示の制御回路と電気的に接続されている。

【0112】本例の画像形成装置では、素子行を1列ずつ順次駆動（走査）していくのと同期してグリッド電極列に画像1ライン分の変調信号を同時に印加する。これにより、各電子ビームの蛍光体への照射を制御し、画像を1ラインずつ表示することができる。

【0113】本発明の画像形成装置は、テレビジョン放送の表示装置、テレビ会議システムやコンピューター等の表示装置の他、感光性ドラム等を用いて構成された光プリンターとしての画像形成装置等としても用いることができる。

【0114】

【発明の実施の形態】以下、実施例を挙げて、更に、本発明を詳述する。

【0115】（実施例1）本実施例の素子は図1に示したものと同様の構成を有するものである。図3にもとづいて本実施例の製造工程を説明する。

【0116】（工程-a）清浄化した青板ガラスに厚さ0.5μmのシリコン酸化膜をスパッタ法により形成し、これを基板として用いた。基板1上にホトレジスト（RD-2000N-41；日立化成社製）パターンを形成し、真空蒸着法により、厚さ5nmのTi、厚さ100nmのNiを順次積層した。その後ホトレジストパターンを有機溶剤で溶解し、Ni/Ti堆積膜をリフトオフして素子電極2、3を形成した。素子電極間隔はL=3μm、素子電極の幅はW=300μmとした。

【0117】（工程-b）導電性薄膜4を形成するためCrマスクを形成する。素子電極2、3を形成した基板に真空蒸着法により厚さ100nmのCr膜を堆積、通常のフォトリソグラフィプロセスにより、導電性薄膜の形状に相当する開口部を設けマスクとする。

【0118】これにPdアミン錯体溶液（ccp-4230；奥野製薬（株）製）をスピンナーにより回転塗布し、大気中で300℃10分間の焼成処理を行った。こうして形成された膜は、PdOを主成分とする微粒子膜で、膜厚は10nmであった。

【0119】（工程-c）Crマスクをウェットエッチングして除去する。PdO微粒子膜はリフトオフによりパターニングされ、所望の形態の導電性薄膜4が形成される。導電性薄膜4の抵抗値は、 $R_s = 2 \times 10^4 \Omega / \square$ であった。

【0120】（工程-d）次に、上記素子を図5の測定評価兼真空処理装置内に移し、フォーミング処理を行った。真空容器15の内部を、排気装置16により圧力が $2.3 \times 10^{-3} \text{ Pa}$ に到達するまで排気した後、素子電極2、3の間にパルス電圧を印加しフォーミング処理を施した。

【0121】なお、本実施例で使用した排気装置は、ソープションポンプとイオンポンプからなる、いわゆる超高真空用排気装置である。以下、特にことわらない限り、排気装置には同様の超高真空用排気装置を用いている。

【0122】ここで用いた電圧パルスの波形は図4

（b）に示したもので、パルス幅 $T_1 = 1 \text{ msec}$ 、パルス間隔 $T_2 = 10 \text{ msec}$ である。三角波の波高値は、0.1Vステップで昇圧させた。また一つのフォーミングパルスから次のフォーミングパルスのまでの間に、0.1Vの矩形波パルス（付図示）を挿入し、抵抗値をモニタしながらフォーミングを行った。フォーミング処理は、抵抗値が1MΩを越えたところで終了した。終了時の波高値（フォーミング電圧）は5.0ないし5.1Vであった。

【0123】（工程-e）真空容器15内に、スローリークバルブ17を介してWF₆を導入、真空容器15内の圧力が $1.3 \times 10^{-1} \text{ Pa}$ に維持されるよう調整した。次に素子に波高値14Vの三角波パルス（付図示）を印加し、活性化処理を施した。パルス幅、パルス間隔は、上記フォーミング処理に用いたものと同じである。この処理により、電子放出部にタングステン（W）の膜が形成される。処理に際しては、素子電流If及び放出電流Ieを測定しながらパルス電圧を印加した。本実施例では、約30分で、電子放出効率 $\eta (= I_e / I_f)$ が最大に達したので、WF₆の導入を停止し、活性化処理を終了した。なお、電子放出効率が最大となったことの判定は、Ie、Ifの測定結果から η を算出、さらに η の時間微分 $\delta \eta / \delta t$ を演算し、この値が0の周辺に1分間停滞

した時点で、そのように判定した。

【0124】（実施例2）実施例1と同様に、工程dまでを行い、工程eにおいて、真空容器内にWF₆とともに、H₂を導入した。他の処理は実施例1と同様である。このときH₂の分圧は、 1.3×10^{-2} Paとなるように調整した。

【0125】（比較例1）実施例1と同様に工程dまでを行った。続いて、

（工程-e）本比較例においては、ロータリーポンプとターボポンプからなる高真空用排気装置により真空容器内を排気、真空容器内の圧力は 2.7×10^{-4} Pa程度となった。次に素子に波高値1.4Vの三角波パルスを加し、活性化処理を施した。この処理により、電子放出電流I_eと、素子電流I_fが急激に増大する。活性化処理にあたっては、素子電流I_f及び放出電流I_eを測定しながらパルス電圧を加した。

【0126】この活性化処理を30分間行った後、パルス印加を停止し、排気装置を実施例1と同じ超高真空用の排気装置に切り替え、真空容器を約200℃に加熱しながら排気続けた。容器内の圧力が 1.3×10^{-6} Pa * 20

* aに到達したことを確認し、真空容器の加熱を停止しこの処理を終了した。

【0127】実施例1、2及び比較例1の素子の電子放出特性とその時間変化を測定した。測定中の真空容器内の圧力は 1.3×10^{-6} Paを維持した。測定のために素子に印加した電圧パルスは、1.4V矩形波パルスで、パルス間隔T₁=100μsec.、パルス間隔10msec.とした。I_eの測定は、アノード電極と素子の間の距離を4mm、電圧を1kVとして測定した。

【0128】100時間連続して、素子の駆動を行い、電子放出電流I_eの変化を追跡した。

【0129】なお、それぞれ複数作成した素子の一つについては、測定は行わず、走査電子顕微鏡（SEM）により、電子放出部の形態を観察した。また、W被覆膜の結晶性を評価するため、電子線回折を行い回折パターンが現れるかどうかを確認した。

【0130】電子放出電流I_eの測定結果は次の通りであった。

【0131】

【表1】

	I _e (initial) (μA)	I _e (100h) (μA)	Raio (%)
実施例1	1.6	1.1	69
実施例2	1.8	1.4	78
比較例1	1.5	0.5	33

【0132】SEMによる観察では、実施例1、2とも図13(a)に模式的に示すように電子放出部亀裂の正極側に、Wよりなる被覆膜が形成されているのが確認された。負極側にははっきりとした被覆膜は見られなかった。なお本実施例と類似の条件で作成した素子に関しては、条件によっては図13(c)に模式的に示すように、負極側にも僅かに被覆膜が確認される場合もある。

【0133】電子線回折の結果は、実施例1では明確な回折パターンを示す結晶質の部分と、ハローが観察される非晶質の部分の混在しているのに対し、実施例2では、はっきりとしたWの結晶回折パターンが観察された。ピーク形状も、実施例1の結晶質の部分よりやや鋭く、結晶性が高いことが確かめられた。これは、被覆膜形成工程で導入した水素が、エッチングガスとして働き、結晶性の良いWの結晶のみが成長したものと考えられる。

【0134】（実施例3）実施例1と同様の手順で工程dまでを行った。続いて、

（工程-e）スローリークバルブを介して、真空容器内にWF₆を導入。真空容器内の圧力が 1.3×10^{-3} Pa

aとなるよう調整した。次に素子に図11(a)に示すような、極性が交互に入れ替わる、波高値1.4Vの矩形波パルスを印加した。パルス幅T₁=1msec.、周期T₂=10msec.、逆極性のパルスの間隔T₂=5msec.である。

【0135】電子放出効率ηが最大となったところで、処理を停止、真空容器内を排気し圧力を 1.3×10^{-6} Pa以下とした。

【0136】（実施例4）実施例3と同様の工程で作成したが、工程eにおいて、WF₆と同時にH₂ガスを導入した。WF₆の分圧は 1.3×10^{-3} Pa、H₂の分圧は 1.3×10^{-4} Paとなるように調整した。

【0137】実施例3、4の素子について、電子放出特性の測定、SEMによる形態観察、電子線回折測定を行った。電子放出特性の測定条件は、前述の実施例1、2、比較例1に対するものと同様である。結果は次の通りである。

【0138】

【表2】

23

24

	Ie (initial) (μA)	Ie (100h) (μA)	Ratio (%)
実施例3	1.7	1.2	71
実施例4	2.0	1.6	80

【0139】SEMによる形態観察では、実施例3、4ではW被覆膜が、図13(b)に模式的に示したように、正極側、負極側とも同様に形成されていることが確認された。電子線回折の結果は、実施例3では、実施例1と同様、結晶の回折パターンの現れる部分と、ハローの現れる部分が混在し、実施例4では実施例2と同様、はっきりとした結晶の回折パターンが観測された。

【0140】(実施例5) 実施例1と同様にして工程dまでを行った後、

(工程-e) スローリークバルブを開き、真空容器内にW(CO)₆を導入。真空容器内の圧力が 1.3×10^{-2} Paとなるよう調整した。次に素子に図11(b)に示すような、波高値14Vの矩形波パルスを印加し、活性化処理を施した。パルス幅T1=3msec、パルス間隔T2=10msecである。この処理により、電子放出部にタングステンの膜が形成される。この処理に際しては、素子電流If及び放出電流Ieを測定しな*

	Ie (initial) (μA)	Ie (100h) (μA)	Ratio (%)
実施例5	1.4	0.9	65
実施例6	1.8	1.2	67
実施例7	1.8	1.3	72

【0146】SEMによる形態観察を行った結果、いずれも実施例1と同様に、電子放出部亀裂の正極側にWよりなる被覆膜が形成されていることが確かめられた。

【0147】(実施例8) 実施例1と同様の手順で工程dまでを行った。続いて、

(工程-e) スローリークバルブを開き、真空容器内にW(C₅H₅)₂H₂を導入。真空容器内の圧力が 1.3×10^{-3} Paとなるよう調整した。次に素子に図11(b)に示すような、波高値18Vの矩形波パルスを印加し、活性化処理を施した。パルス幅T1=3msec ※

	Ie (initial) (μA)	Ie (100h) (μA)	Ratio (%)
実施例8	1.9	1.2	63

【0151】SEMによる形態観察の結果は、実施例1と同様に電子放出部亀裂の正極側に、被覆膜が形成されていることが確かめられた。この被覆膜の組成を電子プローブマイクロアナライザー(EPSMA)で調べたところ、Wのほかに相当量の炭素を含有することが分かった。

【0152】(実施例9) 実施例1と同様に工程dまでを行い、続いて、

(工程-e) スローリークバルブを開き、真空容器内に

*がらパルス電圧を印加した。

【0141】電子放出効率 η が最大となったところで、パルス印加とW(CO)₆の導入を停止、真空容器内を 1.3×10^{-6} Pa以下の圧力になるように排気した。

【0142】(実施例6) 実施例5と同様の条件で作成した。ただし、工程eにおいて、印加したパルスは18V矩形波パルスである。

【0143】(実施例7) 実施例5と同様の条件で作成した。ただし、工程eにおいて、W(CO)₆と同時にH₂を導入した。W(CO)₆の分圧は、 1.3×10^{-3} Pa、H₂の分圧は、 1.3×10^{-4} Paとした。

【0144】上記実施例5~7について、実施例1と同じ条件で、電子放出特性の測定を行った。結果は次の通りである。

【0145】

【表3】

※c、パルス間隔T2=10msecである。この処理により、電子放出部にタングステンの膜が形成される。この処理に際しては、素子電流If及び放出電流Ieを測定しながらパルス電圧を印加した。

【0148】電子放出効率 η が最大となったところで、パルス印加とW(C₅H₅)₂H₂の導入を停止した。

【0149】この素子について、実施例1と同じ条件で電子放出特性の測定を行った。結果は次の通りである。

【0150】

【表4】

Mo(CO)₆を導入。真空容器内の圧力が 1.3×10^{-3} Paとなるよう調整した。次に素子に図11(b)に示すような、波高値16Vの矩形波パルスを印加し、活性化処理を施した。パルス幅T1=3msec、パルス間隔T2=10msecである。この処理により、電子放出部にモリブデンの膜が形成される。処理に際しては、素子電流If及び放出電流Ieを測定しながらパルス電圧を印加した。

【0153】電子放出効率 η が最大となったところで、

パルス印加と $\text{Mo}(\text{CO})_6$ の導入を停止、真空容器内を $1.3 \times 10^{-6} \text{ Pa}$ 以下の圧力になるように排気した。

【0154】(実施例10) 実施例1と同様にして工程dまでを行った後、

(工程-e) スローリークバルブを開き、真空容器内に $\text{Hf}(\text{C}_5\text{H}_5)_2\text{H}_2$ を導入。真空容器内の圧力が $1.3 \times 10^{-3} \text{ Pa}$ となるよう調整した。次に素子に図11(b)に示すような、波高値18Vの矩形波パルスを印加し、活性化処理を施した。パルス幅 $T_1 = 3 \text{ ms}$ 、パルス間隔 $T_2 = 10 \text{ msec}$ である。この*

*処理により、電子放出部にハフニウムの膜が形成される。この処理に際しては、素子電流 I_f 及び放出電流 I_e を測定しながらパルス電圧を印加した。

【0155】電子放出効率 η が最大となったところで、パルス印加と $\text{Hf}(\text{C}_5\text{H}_5)_2\text{H}_2$ の導入を停止した。

【0156】実施例9、10について、実施例1と同様の条件で、電子放出特性を測定した。結果は次の通りである。

【0157】

【表5】

	I_e (initial) (μA)	I_e (100h) (μA)	Ratio (%)
実施例9	1.6	1.0	63
実施例10	2.0	1.2	60

【0158】SEMによる形態観察の結果、実施例9、10とも電子放出部亀裂の正極側に被覆膜が形成されていることが確かめられた。

【0159】(実施例11) 実施例1と同様の方法で、工程dまでを行う。続いて、

(工程-e) 図12に模式的に示したメッキ膜形成装置のメッキ液中に上記素子を浸し、メッキ法による金属膜の形成を行った。素子電極2を負極、素子電極3を正極とし、波高値10Vの三角波パルスを印加して電解メッキを行った。メッキ液の組成は、小見嶽、馬立勝、山本久；表面技術Vol. 40 No. 2311-316 (1989)を参考にし、 $\text{Na}_2\text{WO}_4 \cdot 2\text{H}_2\text{O} : 40 \text{ g/l}$ 、 $\text{NiSO}_4 \cdot 6\text{H}_2\text{O} : 70 \text{ g/l}$ 、クエン酸：80g/lであり、 NH_4OH を用いてpH6に調整し※30

※たものを用いた。

【0160】素子に流れる電流が5mAに達したところでパルス印加を停止し、洗浄、乾燥を行った。

【0161】この処理によりフォーミングで形成された電子放出部亀裂の主に電極2の側にWとNiの合金からなる合金膜が形成された。

【0162】上記素子について、実施例1と同様の条件で電子放出特性を測定した。この際の素子の極性は、メッキの場合とは逆に素子電極2を正極、素子電極3を負極とし、測定を行った。真空装置内の圧力は、 $1.3 \times 10^{-6} \text{ Pa}$ 以下となるように排気した。測定結果は次の通りである。

【0163】

【表6】

	I_e (initial) (μA)	I_e (100h) (μA)	Ratio (%)
実施例11	1.7	1.1	65

【0164】(実施例12) 本実施例は基板上に表面伝導型放出素子を複数配置し、図7に模式的に示したようにマトリクス的に配線した電子源及びそれを用いた画像表示装置の製造に本発明を用いた例である。素子の数は、X方向、Y方向とも100個である。

【0165】プロセスを図14を用いて説明する。

【0166】工程-A

清浄化した青板ガラス上に厚さ $0.5 \mu\text{m}$ のシリコン酸化膜をスパッタ法で形成した基板21上に、真空蒸着法により、厚さ5nmのCr、厚さ600nmのAuを順次積層した後、ホトレジスト(AZ1370・ヘキスト社製)をスピンナーにより回転塗布し、ベークした後、ホトマスク像を露光、現像して下配線パターンを形成し、Au/Cr堆積膜をウェットエッチングして所望の形状の下配線21を形成した。

【0167】工程-B

次に厚さ $1.0 \mu\text{m}$ のシリコン酸化膜からなる、層間絶

縁層61をRFスパッタ法により堆積した。

【0168】工程-C

工程Bで堆積したシリコン酸化膜にコンタクトホール62を形成するためのホトレジストパターンを作り、これをマスクとした層間絶縁層61をエッチングしてコンタクトホール62を形成した。エッチングは CF_4 と H_2 ガスを用いたRIE(Reactive Ion Etching)法によった。

【0169】工程-D

その後、素子電極2、3と素子電極間ギャップGとなるべきパターンをホトレジスト(RD-2000N-41・日立化成社製)で形成し、真空蒸着法により、厚さ5nmのTi、厚さ100nmのNiを順次堆積した。ホトレジストパターンを有機溶剤で溶解し、Ni/Ti堆積膜をリフトオフし、素子電極間隔 $3 \mu\text{m}$ 、幅 $300 \mu\text{m}$ の素子電極2、3を形成した。

【0170】工程-E

素子電極2、3上に上配線23のホトレジストパターンを形成した後、厚さ5nmのTi、厚さ500nmのAuを順次真空蒸着により堆積し、リフトオフにより不要な部分を除去して、所望の形状の上配線23を形成した。

【0171】工程-F

次に、膜厚30nmのCr膜63を真空蒸着により堆積、導電性薄膜4の形状の開口部を有するようにパターンニングし、その上にPdアミン錯体溶液(ccp4230)をスピナーにより回転塗布、300℃12分間の加熱焼成処理を施してPdO微粒子よりなる導電性薄膜64を形成した。この膜の膜厚は70nmであった。

【0172】工程-G

Cr膜63をエッチャントを用いてウェットエッチングしてPdO微粒子よりなる導電性薄膜64の不要部分とともに除去し、所望の形状の導電性薄膜4を形成した。抵抗値は $R_s = 4 \times 10^4 \Omega/\square$ 程度であった。

【0173】工程-H

コンタクトホール62部分以外にレジストパターンを形成し、真空蒸着により厚さ5nmのTi、厚さ500nmのAuを順次堆積した。リフトオフにより不要な部分を除去することにより、コンタクトホールを埋め込んだ。

【0174】この様にして作成した電子源を用いて画像形成装置を構成した。図8を用いて説明する。

【0175】工程-I

電子源基板21をリアプレート31上に固定した後、基板21の5mm上方に、フェースプレート36(ガラス基板33の内面に蛍光膜34とメタルバック35が形成されて構成される)を支持枠32を介し配置し、フェースプレート36、支持枠32、リアプレート31の接合部にフリットガラスを塗布し、大気中あるいは窒素雰囲気中で400℃ないし500℃で10分以上焼成することで封着した。またリアプレート31への基板21の固定もフリットガラスで行った。図8において、24は電子放出素子、22、23はそれぞれX方向及びY方向の素子配線である。

【0176】蛍光膜34は、モノクロームの場合は蛍光体のみから成るが、本実施例では蛍光体はストライプ形状を採用し、先にブラックストライプを形成し、その間隙部に各色蛍光体を塗布し、蛍光膜54を作製した。ブラックストライプの材料として通常良く用いられている黒鉛を主成分とする材料を用いた。ガラス基板33に蛍光体を塗布する方法はスラリー法を用いた。

【0177】また、蛍光膜34の内面側には通常メタルバック35が設けられる。メタルバックは、蛍光膜作製後、蛍光膜の内面側表面の平滑化処理(通常フィルミングと呼ばれる)を行い、その後、A1を真空蒸着することで作製した。

【0178】フェースプレート36には、更に蛍光膜3

4の導電性を高めるため、蛍光膜34の外側面に透明電極が設けられる場合もあるが、本実施例では、メタルバックのみで十分な導電性が得られたので省略した。

【0179】前述の封着を行う際、カラーの場合は各色蛍光体と電子放出素子とを対応させなくてはならないため、十分な位置合わせを行った。

【0180】工程-J

以上のようにして完成したガラス容器内の雰囲気を排気管を通じ真空ポンプにて 10^{-4} Pa程度の真空度まで排気した。図15に示すように、Y方向配線を共通結線して1ライン毎にフォーミング処理を行う。図中66はY方向配線23を共通結線した共通電極、67は電源、68は電流測定用抵抗、69は電流をモニタするためのオシロスコープである。

【0181】工程-K

つづいて、被覆膜の形成を行う。処理装置の構成を図16に示す。画像表示装置71は排気管728を介して真空チャンバー73に接続されている。真空チャンバー73は排気装置74により排気され、内部の雰囲気は圧力計75と四重極質量分析器(Q-mass)76によって検知される。真空チャンバー73にはまた、2系統のガス導入系が接続されており、一方は活性化物質の導入用、他方は活性化物質をエッチングする物質(エッチングガス)の導入用である。本実施例ではエッチングガス用の導入系は使用しない。

【0182】活性化物質導入系は電磁弁とマスフローコントローラーよりなるガス導入装置77を介して、物質源78に接続されている。本実施例ではW(CO)6をアンブルにいたれたものを気化させて使用した。

【0183】ガス導入装置77を制御してW(CO)6をパネル内に導入し圧力が 1.3×10^{-4} Paとなるように調整して、18V矩形波パルス印加する。パルス幅は3msec、パルス間隔は10msecとした。

【0184】活性化処理は、1行づつ実行した。一つの行の素子に接続された1本のX方向配線に、波高値Vacc=18Vの矩形波パルス印加し、Y方向配線は、工程Jと同様に共通電極に結線する。

【0185】一行の素子電流が $I_f \geq 200$ mA(1素子あたり2mA)となったところでその行の処理を終了し、つぎの行の処理に移って、同様の処理を繰り返す。

【0186】工程-L

すべての行の処理が終了したところで、ガス導入装置のバルブを閉じW(CO)6の導入を停止し、ガラスパネル全体を約200℃に加熱しながら排気、5時間排気を続けたところで、単純マトリクス駆動により、電子を放出させ、蛍光体膜を全面発光させ、正常に動作することを確認した後、排気管を加熱蒸着して封じきる。その後、高周波加熱によりパネル内に設置したゲッター(不図示)を高周波加熱によりフラッシュさせる。

【0187】以上のように完成した本発明の画像形成装置において、各電子放出素子には、容器外端子Dx1ないしDxm、Dy1ないしDynを通じ、走査信号及び変調信号を不図示の信号発生手段よりそれぞれ、印加することにより、電子放出させ、高圧端子Hvを通じ、メタルバック35に5.0kVの高圧を印加し、電子ビームを加速し、蛍光膜34に衝突させ、励起・発光させることで画像を表示した。全面発光の状態で100時間連続で駆動したところ、良好な表示の状態が維持された。

【0188】図17は、実施例12の画像形成装置（ディスプレイパネル）に、たとえばテレビジョン放送をはじめとする種々の画像情報源により提供される画像情報を表示できるように構成した表示装置の一例を示すための図である。図中91はディスプレイパネル、92はディスプレイパネルの駆動回路、93はディスプレイコントローラ、94はマルチプレクサ、95はデコーダ、96は入出力インターフェース回路、97はCPU、98は画像生成回路、99および100および101は画像メモリーインターフェース回路、102は画像入力インターフェース回路、103および104はTV信号受信回路、105は入力部である（なお、本表示装置は、たとえばテレビジョン信号のように映像情報と音声情報の両方を含む信号を受信する場合には、当然映像の表示と同時に音声を再生するものであるが、本発明の特徴と直線関係しない音声情報の受信、分離、再生、処理、記憶などに関する回路やスピーカーなどについては説明を省略する。）。

【0189】以下、画像信号の流れに沿って各部の機能を説明してゆく。

【0190】まず、TV信号受信回路104は、たとえば電波や空間光通信などのような無線伝送系を用いて伝送されるTV画像信号を受信する為の回路である。受信するTV信号の方式は特に限られるものではなく、たとえば、NTSC方式、PAL方式、SECAM方式などの諸方式でもよい。また、これらよりさらに多数の走査線よりなるTV信号（たとえばMUSE方式をはじめとするいわゆる高品位TV）は、大面積化や大画素数化に適した前記ディスプレイパネルの利点を生かすのに好適な信号源である。TV信号受信回路104で受信されたTV信号は、デコーダ95に出力される。

【0191】また、TV信号受信回路103は、たとえば同軸ケーブルや光ファイバーなどのような有線伝送系を用いて伝送されるTV画像信号を受信するための回路である。前記TV信号受信回路104と同様に、受信するTV信号の方式は特に限られるものではなく、また本回路で受信されたTV信号もデコーダ95に出力される。

【0192】また、画像入力インターフェース回路102は、たとえばTVカメラや画像読み取りスキャナーなどの画像入力装置から供給される画像信号を取り込むた

めの回路で、取り込まれた画像信号はデコーダ95に出力される。

【0193】また、画像メモリーインターフェース回路101は、ビデオテープレコーダー（VTR）に記憶されている画像信号を取り込むための回路で、取り込まれた画像信号はデコーダ95に出力される。

【0194】また、画像メモリーインターフェース回路100は、ビデオディスクに記憶されている画像信号を取り込むための回路で、取り込まれた画像信号はデコーダ95に出力される。

【0195】また、画像メモリーインターフェース回路99は、いわゆる静止画ディスクのように、静止画像データを記憶している装置から画像信号を取り込むための回路で、取り込まれた静止画像データはデコーダ95に入力される。

【0196】また、入出力インターフェース回路96は、本表示装置と、外部のコンピュータもしくはコンピュータネットワークもしくはプリンターなどの出力装置とを接続するための回路である。画像データや文字・図形情報の入出力を行うのはもちろんのこと、場合によっては本表示装置の備えるCPU97と外部との間で制御信号や数値データの入出力などを行うことも可能である。

【0197】また、画像生成回路77は、前記入出力インターフェース回路96を介して外部から入力される画像データや文字・図形情報や、あるいはCPU97より出力される画像データや文字・図形情報にもとづき表示用画像データを生成するための回路である。本回路の内部には、たとえば画像データや文字・図形情報を蓄積するための書き換え可能メモリーや、文字コードに対応する画像パターンが記憶されている読み出し専用メモリーや、画像処理を行うためのプロセッサなどをはじめとして画像の生成に必要な回路が組み込まれている。

【0198】本回路により生成された表示用画像データは、デコーダ95に出力されるが、場合によっては前記入出力インターフェース回路96を介して外部のコンピュータネットワークやプリンターに出力することも可能である。

【0199】また、CPU97は、主として本表示装置の動作制御や、表示画像の生成や選択や編集に関わる作業を行う。

【0200】たとえば、マルチプレクサ94に制御信号を出力し、ディスプレイパネルに表示する画像信号を適宜選択したり組み合わせたりする。また、その際には表示する画像信号に応じてディスプレイパネルコントローラ72に対して制御信号を発生し、画面表示周波数や走査方法（たとえばインターレースかノンインターレースか）や一画面の走査線の数など表示装置の動作を適宜制御する。

【0201】また、前記画像生成回路98に対して画像

データや文字・図形情報を直接出力したり、あるいは前記入出力インターフェース回路 96 を介して外部のコンピュータやメモリーをアクセスして画像データや文字・図形情報を入力する。なお、CPU 97 は、むしろこれ以外の目的の作業にも関わるものであって良い。たとえば、パーソナルコンピュータやワードプロセッサなどのように、情報を生成したり処理する機能に直接関わっても良い。あるいは、前述したように入出力インターフェース回路 96 を介して外部のコンピュータネットワークと接続し、たとえば数値計算などの作業を外部機器と協同して行っても良い。

【0202】また、入力部 105 は、前記 CPU 97 に使用者が命令やプログラム、あるいはデータなどを入力するためのものであり、たとえばキーボードやマウスのほか、ジョイスティック、バーコードリーダー、音声認識装置など多様な入力機器を用いる事が可能である。

【0203】また、デコーダ 95 は、前記 98 ないし 104 より入力される種々の画像信号を 3 原色信号、または輝度信号と I 信号、Q 信号に逆変換するための回路である。なお、同図中に点線で示すように、デコーダ 95 は内部に画像メモリーを備えるのが望ましい。これは、たとえば MUSE 方式をはじめとして、逆変換するに際して画像メモリーを必要とするようなテレビ信号を扱うためである。また、画像メモリーを備える事により、静止画の表示が容易になる、あるいは前記画像生成回路 98 および CPU 97 と協同して画像の間引き、補間、拡大、縮小、合成をはじめとする画像処理や編集が容易に行えるようになるという利点が生まれるからである。

【0204】また、マルチプレクサ 94 は、前記 CPU 97 より入力される制御信号にもとづき表示画像を適宜選択するものである。すなわち、マルチプレクサ 73 はデコーダ 95 から入力される逆変換された画像信号のうちから所望の画像信号を選択して駆動回路 92 に出力する。その場合には、一画面表示時間内で画像信号を切り替えて選択することにより、いわゆる多画面テレビのように、一画面を複数の領域に分けて領域によって異なる画像を表示することも可能である。

【0205】また、ディスプレイパネルコントローラ 93 は、前記 CPU 97 より入力される制御信号にもとづき駆動回路 92 の動作を制御するための回路である。

【0206】まず、ディスプレイパネルの基本的な動作に関わるものとして、たとえばディスプレイパネルの駆動用電源（図示せず）の動作シーケンスを制御するための信号を駆動回路 92 に対して出力する。また、ディスプレイパネルの駆動方法に関わるものとして、たとえば画面表示周波数や走査方法（たとえばインターレースかノンインターレースか）を制御するための信号を駆動回路 92 に対して出力する。

【0207】また、場合によっては表示画像の輝度やコントラストや色調やシャープネスといった画質の調整に

関わる制御信号を駆動回路 92 に対して出力する場合もある。

【0208】また、駆動回路 92 は、ディスプレイパネル 91 に印加する駆動信号を発生するための回路であり、前記マルチプレクサ 94 から入力される画像信号と、前記ディスプレイパネルコントローラ 93 より入力される制御信号にもとづいて動作するものである。

【0209】以上、各部の機能を説明したが、図 25 に例示した構成により、本表示装置においては多様な画像情報源より入力される画像情報をディスプレイパネル 91 に表示する事が可能である。すなわち、テレビジョン放送をはじめとする各種の画像信号はデコーダ 95 において逆変換された後、マルチプレクサ 73 において適宜選択され、駆動回路 92 に入力される。一方、ディスプレイコントローラ 93 は、表示する画像信号に応じて駆動回路 92 の動作を制御するための制御信号を発生する。駆動回路 92 は、上記画像信号と制御信号にもとづいてディスプレイパネル 91 に駆動信号を印加する。これにより、ディスプレイパネル 91 において画像が表示される。これらの一連の動作は、CPU 97 により統括的に制御される。

【0210】また、本表示装置においては、前記デコーダ 95 に内蔵する画像メモリー、画像生成回路 98 および情報の中から選択したものを表示するだけでなく、表示する画像情報に対して、たとえば拡大、縮小、回転、移動、エッジ強調、間引き、補間、色変換、画像の縦横比変換などをはじめとする画像処理や、合成、消去、接続、入れ換え、はめ込みなどをはじめとする画像編集を行う事も可能である。また、本実施例の説明では特に触れなかったが、上記画像処理や画像編集と同様に、音声情報に関しても処理や編集を行うための専用回路を設けても良い。

【0211】したがって、本表示装置は、テレビジョン放送の表示機器、テレビ会議の端末機器、静止画像および動画像を扱う画像編集機器、コンピュータの端末機器、ワードプロセッサをはじめとする事務用端末機器、ゲーム機などの機能を一台で兼ね備えることが可能で、産業用あるいは民生用として極めて応用範囲が広い。

【0212】なお、上記図 25 は、表面伝導型放出素子を電子ビーム源とするディスプレイパネルを用いた表示装置の構成の一例を示したにすぎず、これのみに限定されるものでない事は言うまでもない。たとえば、図 25 の構成要素のうち使用目的上必要のない機能に関わる回路は省いても差し支えない。またこれとは逆に、使用目的によってはさらに構成要素を追加しても良い。たとえば、本表示装置をテレビ電話機として応用する場合には、テレビカメラ、音声マイク、照明機、モデムを含む送受信回路などを構成要素に追加するのが好適である。

【0213】（実施例 13）本実施例は、はしご型記録をした電子源及びそれを用いた、画像表示装置である。

図18は、以下の工程の一部を模式的に示したものである。以下、本実施例の製造方法について述べる。この電子源は、基板上に電子放出素子を100×100に配置されたものである。

【0214】工程-A

清浄化した青板ガラス上に厚さ0.5μmのシリコン酸化膜をスパッタ法で形成した電子源基板21上に、素子電極を兼ねる共通配線の形状の開口を有するホトレジスト(RD-2000N-41:日立化成社製)パターンを形成し、真空蒸着法により厚さ5nmのTi、厚さ100nmのNiを順次積層した。その後ホトレジストパターンを有機溶剤で溶解し、NiTi堆積膜をリフトオフして、素子電極を兼ねる共通配線81を形成した。電極間距離はL=3μmとした。

【0215】工程-B

真空蒸着法により厚さ300nmのCr膜を堆積し、通常のフォトリソグラフィ技術により導電性薄膜のパターンに相当する開口部82を形成し、Crマスク83とする。

【0216】これにPdアミン錯体溶液(ccp4230;奥野製薬(株)製)をスピナーにより回転塗布し、大気中300℃12分間の加熱焼成処理を施した。こうして形成された膜はPdOを主成分とする導電性の微粒子膜で、厚さは7nm前後であった。

【0217】工程-C

Crマスクをウェットエッチして除去、PdO膜をリフトオフし、所望の形状にパターニングされた導電性薄膜4を得た。導電性薄膜の抵抗値は、 $R_s = 2 \times 10^4 \Omega/\square$ であった。

【0218】工程-D

上記基板を、図5の真空処理装置に設置し、各行毎にフォーミング処理を行った。フォーミング処理の方法は、実施例1などで示した方法に準じ、各行の抵抗値が100kΩを越えたところで処理を終了し次の行の処理に移った。

【0219】工程-E

上記基板を、実施例11で用いたのと同様のメッキ浴に浸し、正極側、負極側の配線間に10Vの矩形波パルスを印加した。この処理は、1ラインずつおこない、1素子あたりの電流値が5mAに達したところで、処理を終了し次のラインの処理に移った。なお、この処理では、実際の電子放出の際の正極及び負極と電圧のかけ方が反対になるようにし、メッキ処理の負極、実際の駆動で正極に当たる側に、W-Ni合金よりなる被覆膜を形成した。

【0220】工程-F

実施例12と同様にして表示パネルを形成した。ただし本実施例はグリッド電極を有するため構成は若干異なる。図19のように電子源基板21、リアプレート31、フェースプレート36とグリッド電極84を組み合

わせ、外部に容器外端子86、容器外グリッド電極端子87を接続した。85は、電子通過孔である。

【0221】この様にして作成した、実施例12、13の画像表示装置を、全面発光させ、100時間連続駆動して観察したところ、いずれも安定した性能が維持された。

【0222】

【発明の効果】以上説明したように、本発明の電子放出素子及びそれを用いた電子源、画像表示装置においては、駆動に伴う電子放出特性の劣化が抑制され、安定した電子放出特性、画像の表示機能が得られるようになった。

【図面の簡単な説明】

【図1】本発明の電子放出素子の一例の構成を示す模式図。

【図2】本発明の電子放出素子の別の一例の構成を示す模式図。

【図3】本発明の製造プロセスを説明する図。

【図4】本発明の製造プロセスにおいて用いた三角波パルスの波形を示す図。

【図5】本発明の製造プロセス及び特性評価に用いた真空処理装置の構成を示す模式図。

【図6】本発明の電子放出素子の電子放出特性を示す模式図。

【図7】本発明の電子源のマトリクス型の配線を説明する模式図。

【図8】マトリクス型配線の電子源を用いた画像表示装置の構成を示す模式図。

【図9】蛍光体膜の構成を説明する模式図。

【図10】本発明の画像表示装置の駆動方法を説明するブロック図。

【図11】本発明の製造プロセス及び特性評価で用いた矩形波パルスの波形を示す図。

【図12】本発明の製造プロセスで用いた電解メッキ装置の模式図。

【図13】本発明の電子放出素子の、電子放出部亀裂と、金属を主体とする被覆膜の構成を示す模式図。

【図14】マトリクス型配線の電子源の製造プロセスを説明する図。

【図15】マトリクス型配線の電子源の製造プロセスにおける、フォーミング処理のための結線を説明する模式図。

【図16】本発明の画像表示装置の製造プロセスに用いた、真空処理装置。

【図17】本発明の画像表示装置を用いたシステムの構成を説明するブロック図。

【図18】はしご型配線の電子源の製造プロセスを説明する図。

【図19】はしご型配線の電子源を用いた画像表示装置の構成を示す模式図。

【図20】M. ハートウェルらによる従来の素子の構成を示す模式図。

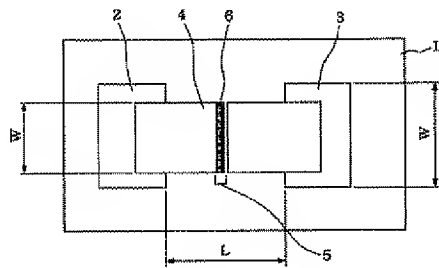
【図21】はしご型配線の電子源の構成を示す模式図。

【符号の説明】

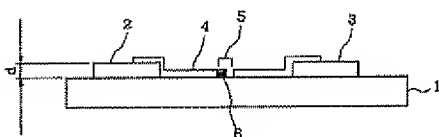
- 1, 21 基板
- 2, 3 素子電極
- 4 導電性膜
- 5 電子放出部
- 6 高融点材料の膜
- 7 段差形成部
- 10, 12 電流計
- 11, 13, 67 電源
- 14 アノード電極
- 15 真空容器
- 16 排気ポンプ
- 17 バルブ
- 18 導入物質源
- 22 X方向配線
- 23 Y方向配線
- 24 電子放出素子
- 25 結線
- 31 リアプレート
- 32 支持枠
- 33 ガラス基板

- 34 蛍光膜
- 35 メタルバック
- 36 フォースプレート
- 37 外囲器
- 41 表示パネル
- 42 走査回路
- 43 制御回路
- 44 シフトレジスタ
- 45 ラインメモリ
- 10 46 同期信号分離回路
- 47 変調信号
- 61 層間絶縁層
- 62 コンタクトホール
- 63 Cr膜
- 66 共通電極
- 68 電流測定用抵抗
- 69 オシロスコープ
- 81 共通配線
- 82 開口部
- 20 83 マスク
- 84 グリッド電極
- 85 電子通過孔
- 86, 87 容器外端子

【図1】

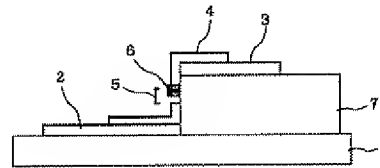


(a)

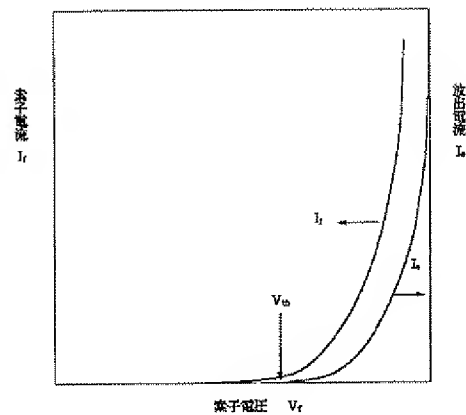


(b)

【図2】

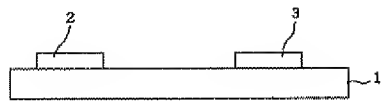


【図6】

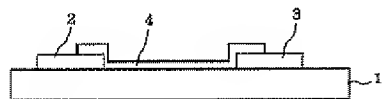


【図 3】

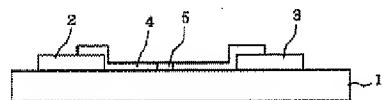
34



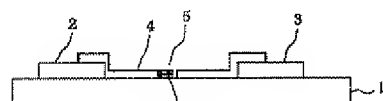
(a)



(b)

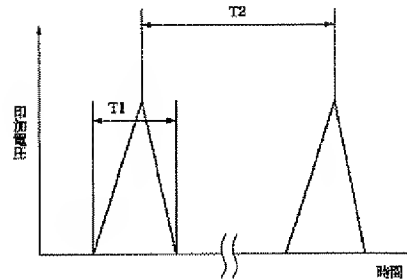


(c)

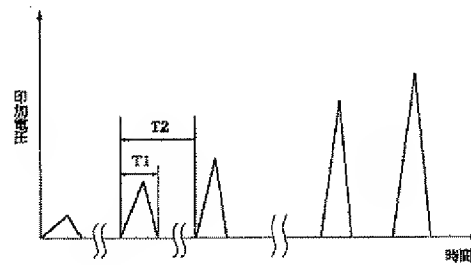


(d)

【図 4】

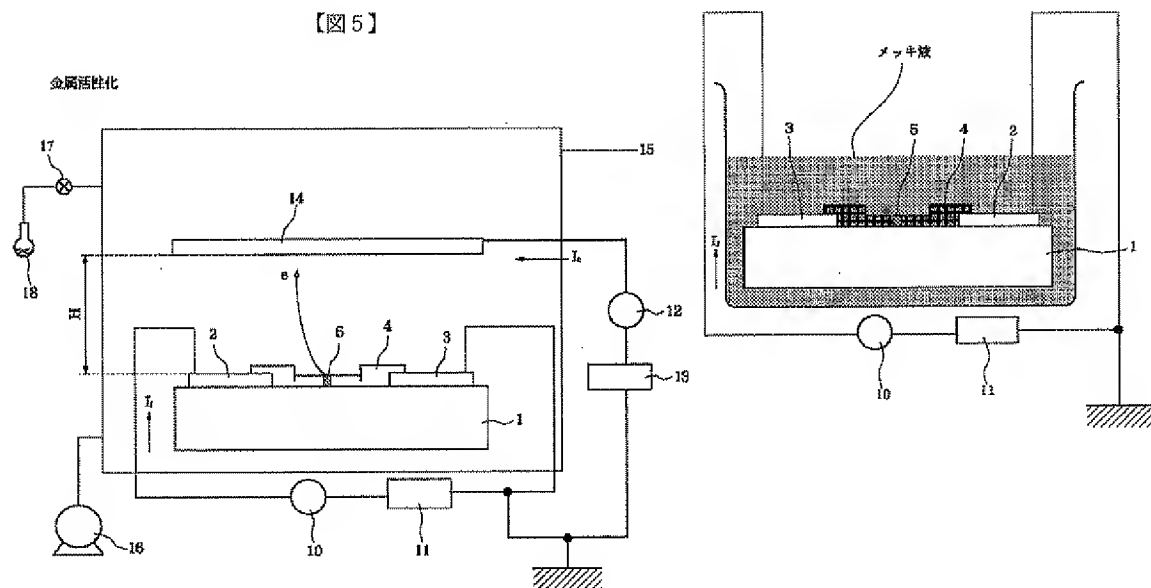


(a)

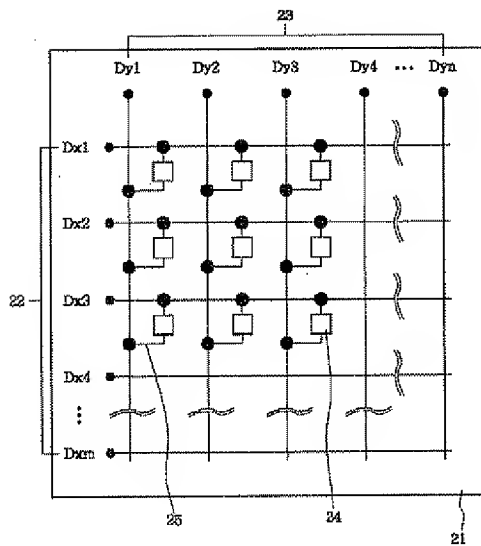


(b)

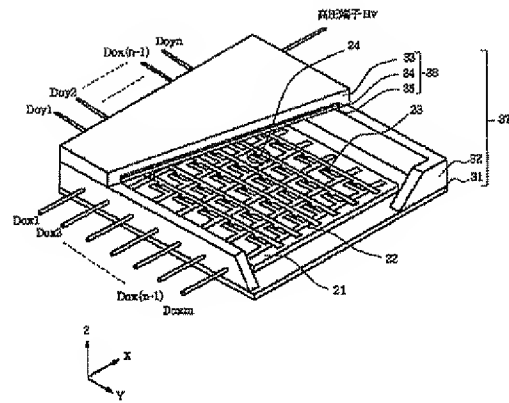
【図 12】



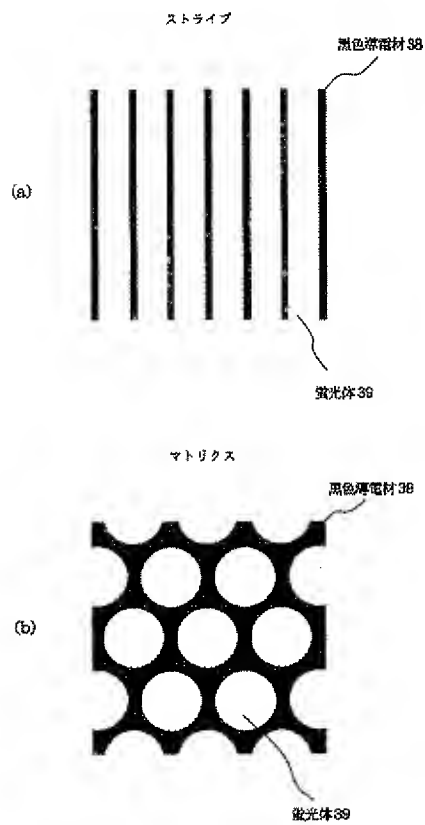
【図7】



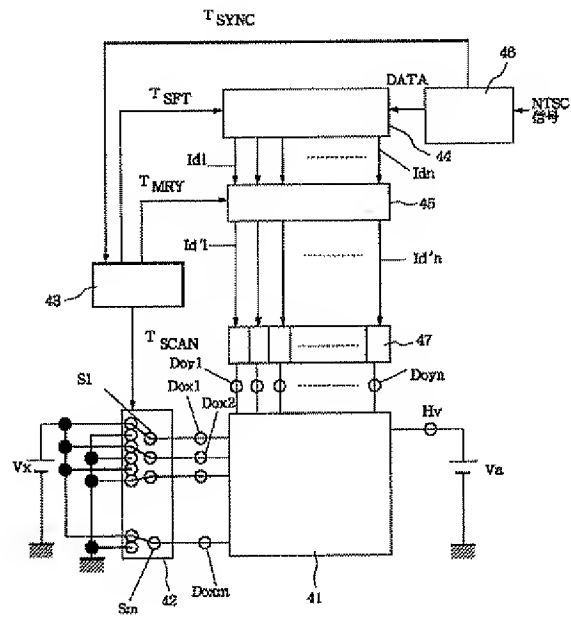
【図8】



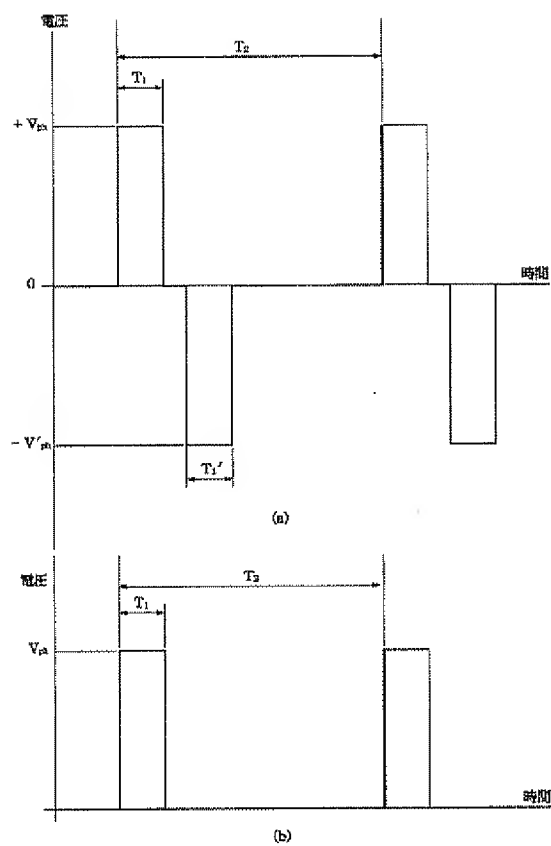
【図9】



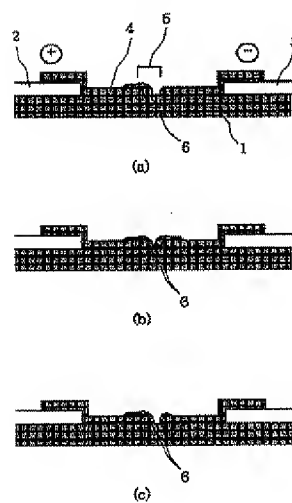
【図10】



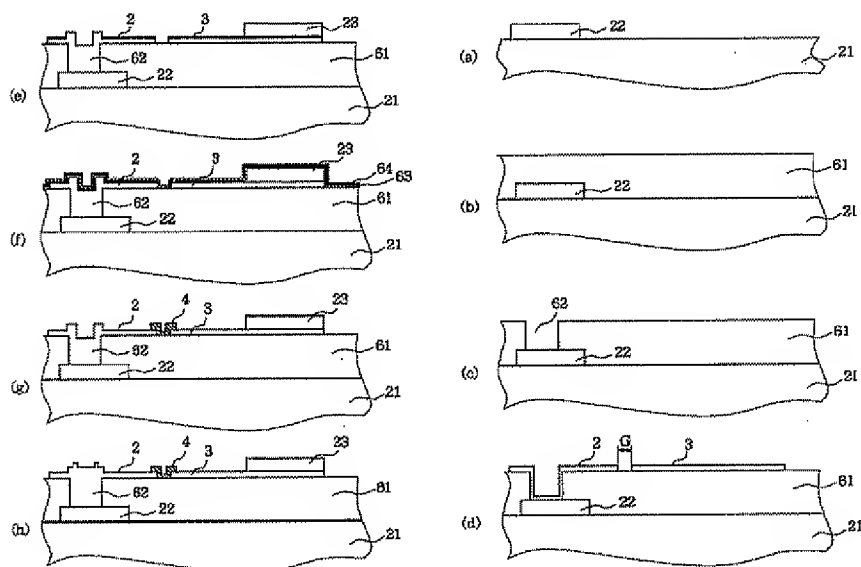
【図11】



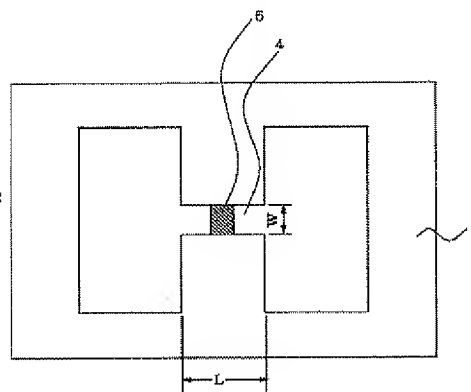
【図13】



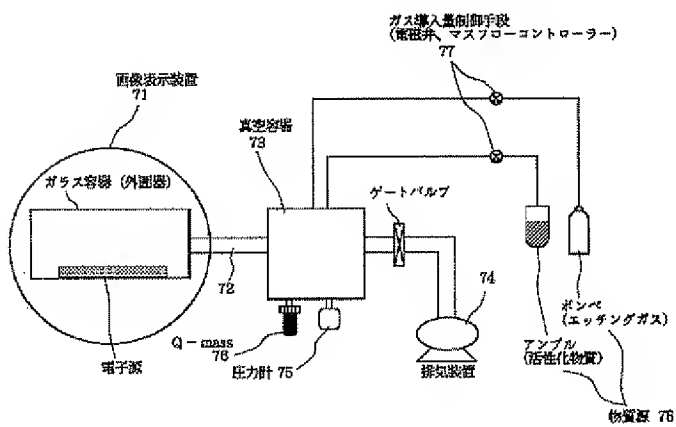
【図14】



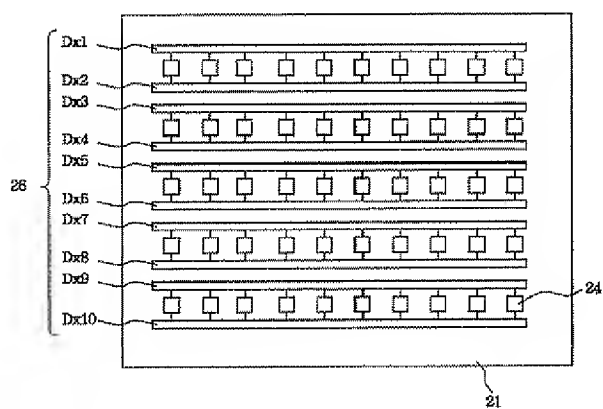
【图20】



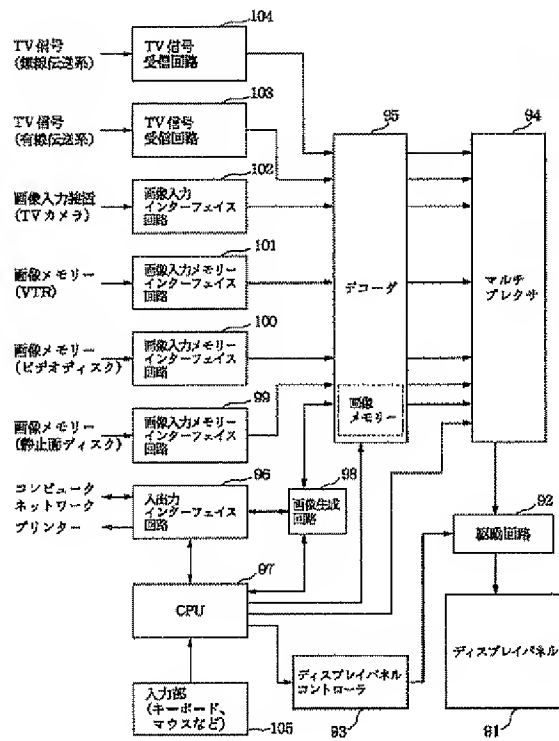
【图 16】



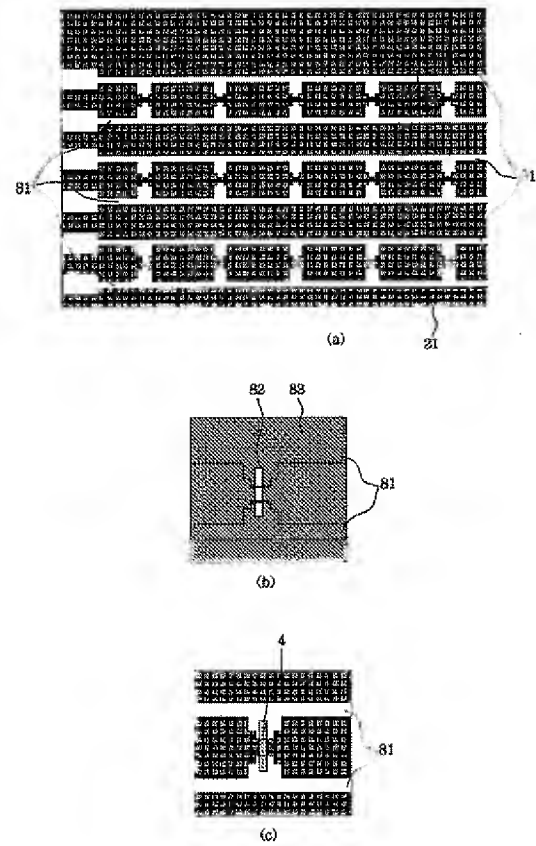
【图 2-1】



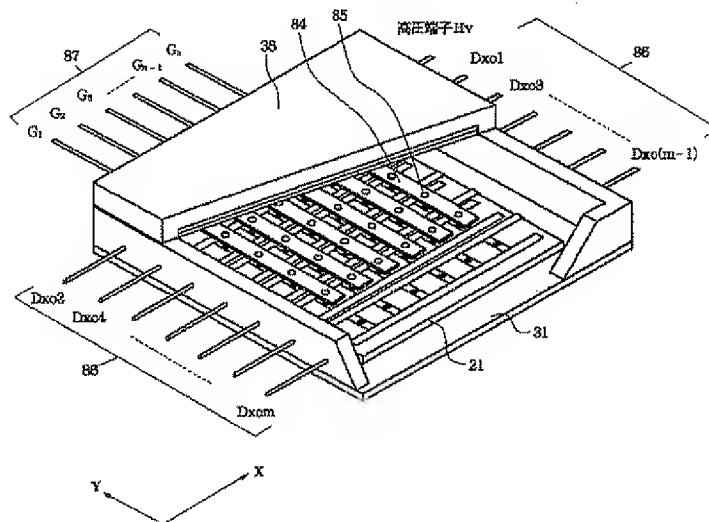
【図17】



【図18】



【図19】



フロントページの続き

(51) Int. Cl. ⁶	識別記号	序内整理番号	F I	技術表示箇所
H 0 1 J	9/02	F		
	31/12	B		
	31/15	C		

(72)発明者 浜元 康弘
 東京都大田区下丸子 3 丁目 30 番 2 号キャノ
 ン株式会社内

(72)発明者 山野辺 正人
 東京都大田区下丸子 3 丁目 30 番 2 号キャノ
 ン株式会社内